

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-012796

(43)Date of publication of application : 14.01.2000

(51)Int.Cl.

H01L 27/108
H01L 21/8242

(21)Application number : 10-173607

(71)Applicant : HITACHI LTD

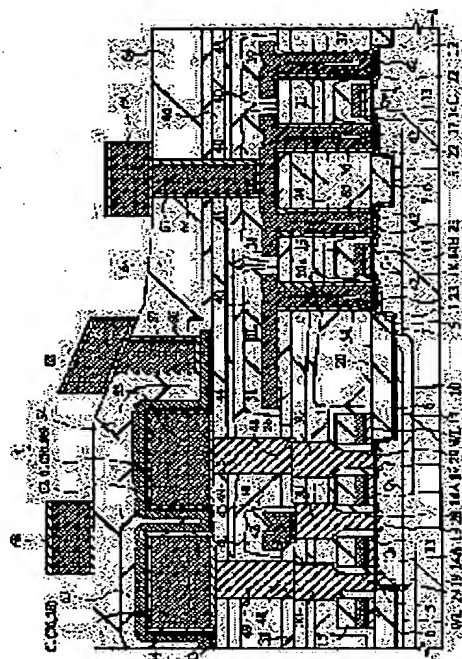
(22)Date of filing : 19.06.1998

(72)Inventor : KUNITOMO MASATO
IJIMA SHINPEI

(54) SEMICONDUCTOR DEVICE, AND MANUFACTURING METHOD AND APPARATUS THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a capacitor insulating film which is high in thermal resistance, and has little leakage current and high dielectric strength.
SOLUTION: A semiconductor device constituted of a DRAM equipped with memory cells formed of data storage capacitor elements C each equipped with a lower electrode 54 of ruthenium film, a capacitor insulating film 61, and an upper electrode 62 of titanium nitride film and connected in series to memory cell selection MISTFETQs formed on the primary surface of a semiconductor substrate 1, wherein the capacitor insulating film 61 is of a two-layered film composed of crystallized tantalum oxide films 56 and 58 which are each thinner than 10 nm, and the insulating film 61 is set at 10 to 40 nm in thickness.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号 ✓
特開2000-12796
(P2000-12796A)

(43) 公開日 平成12年1月14日 (2000.1.14)

(51) Int.Cl.⁷

H 0 1 L 27/108
21/8242

識別記号

F I

H 0 1 L 27/10

テーマコード(参考)

6 2 1 B 5 F 0 8 3

審査請求 未請求 請求項の数27 O L (全 40 頁)

(21) 出願番号 特願平10-173607

(22) 出願日 平成10年6月19日 (1998.6.19)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 國友 正人

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72) 発明者 飯島 晋平

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(74) 代理人 100080001

弁理士 筒井 大和

最終頁に続く

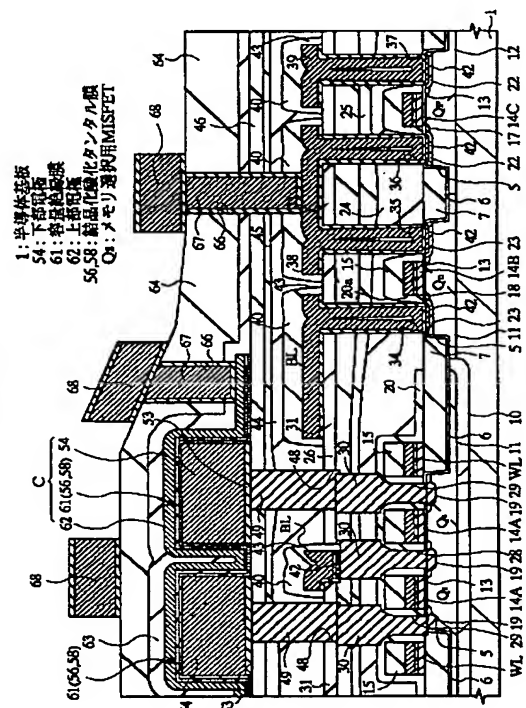
(54) 【発明の名称】 半導体装置ならびにその製造方法および製造装置

(57) 【要約】

【課題】 耐熱性を有するとともに、リーク電流が少なく絶縁耐圧の高い容量絶縁膜を実現する。

【解決手段】 半導体基板1の主面上に形成されたメモリセル選択用MISFETQsに直列に接続され、ルテニウム膜からなる下部電極54、容量絶縁膜61および窒化チタン膜からなる上部電極62を備えた情報蓄積用容量素子Cで構成されるメモリセルを有するDRAMを含む半導体装置であって、容量絶縁膜61を、10nm以下の膜厚の結晶化酸化タンタル膜56、58の2層が積層された積層膜とし、容量絶縁膜61の膜厚を10～40nmとする。

図 26



【特許請求の範囲】

【請求項 1】 半導体からなる基板または半導体層をその表面に有する基板と、前記基板の主面に形成されたメモリセル選択用 MISFET と、前記メモリセル選択用 MISFET のソースまたはドレインとして機能する半導体領域に電氣的に接続された第 1 電極、前記第 1 電極に対向して形成された第 2 電極および前記第 1、第 2 電極の間に挟まれた容量絶縁膜で構成される情報蓄積用容量素子とを有する半導体装置であって、前記容量絶縁膜は、多結晶構造を有する金属酸化膜が 2 層以上形成された積層膜を含むものであることを特徴とする半導体装置。

【請求項 2】 半導体からなる基板または半導体層をその表面に有する基板と、前記基板の主面に形成されたゲート絶縁膜、前記ゲート絶縁膜を介して前記基板の主面に形成されたゲート電極を含む MISFET とを有する半導体装置であって、前記ゲート絶縁膜は、多結晶構造を有する金属酸化膜が 2 層以上形成された積層膜を含むものであることを特徴とする半導体装置。

【請求項 3】 請求項 1 または 2 記載の半導体装置であって、前記金属酸化膜を構成する金属元素は、タンタルであることを特徴とする半導体装置。

【請求項 4】 請求項 1～3 の何れか一項に記載の半導体装置であって、

前記積層膜を構成する複数の金属酸化膜は、その膜厚が各々 10 nm 以下であることを特徴とする半導体装置。

【請求項 5】 請求項 1、3 または 4 記載の半導体装置であって、

前記第 1 電極が多結晶シリコン膜であり、前記第 1 電極と前記積層膜との間にシリコン窒化膜またはシリコン酸窒化膜が形成されていることを特徴とする半導体装置。

【請求項 6】 請求項 5 記載の半導体装置であって、前記多結晶シリコン膜の表面には、粒状のシリコン結晶による凹凸が形成されていることを特徴とする半導体装置。

【請求項 7】 請求項 1、3 または 4 記載の半導体装置であって、

前記第 1 電極が金属または金属の窒化物もしくは酸化物であり、前記第 1 電極と前記積層膜との間に前記第 1 電極を構成する金属の酸化膜が形成されていることを特徴とする半導体装置。

【請求項 8】 請求項 7 記載の半導体装置であって、前記第 1 電極を構成する金属は、ルテニウム、タングステンまたはチタンであることを特徴とする半導体装置。

【請求項 9】 請求項 2～4 の何れか一項に記載の半導体装置であって、

前記基板と前記積層膜との間にシリコン窒化膜またはシリコン酸窒化膜が形成されていることを特徴とする半導

体装置。

【請求項 10】 請求項 3 または 4 記載の半導体装置であって、

複数層の酸化タンタル膜で構成される前記積層膜の密度は、X 線反射率測定における測定値において、 8.5 g/cm^3 以上であることを特徴とする半導体装置。

【請求項 11】 請求項 3 または 4 記載の半導体装置であって、

複数層の酸化タンタル膜で構成される前記積層膜の応力は、1100 MPa 以下であることを特徴とする半導体装置。

【請求項 12】 請求項 3 または 4 記載の半導体装置であって、

複数層の酸化タンタル膜で構成される前記積層膜の表面粗さは、X 線反射率測定における測定値において、前記積層膜の膜厚の 10% 以下であることを特徴とする半導体装置。

【請求項 13】 請求項 3 または 4 記載の半導体装置であって、

複数層の酸化タンタル膜で構成される前記積層膜は、X 線反射率測定において、その膜厚方向に均質に形成されていると測定されるものであることを特徴とする半導体装置。

【請求項 14】 半導体からなる基板または半導体層をその表面に有する基板と、前記基板の主面に形成されたメモリセル選択用 MISFET と、前記メモリセル選択用 MISFET のソースまたはドレインとして機能する半導体領域に電氣的に接続された第 1 電極、前記第 1 電極に対向して形成された第 2 電極および前記第 1、第 2 電極の間に挟まれた容量絶縁膜で構成される情報蓄積用容量素子とを有する半導体装置、または、半導体からなる基板または半導体層をその表面に有する基板と、前記基板の主面に形成されたゲート絶縁膜、前記ゲート絶縁膜を介して前記基板の主面に形成されたゲート電極を含む MISFET とを有する半導体装置の製造方法であって、

前記容量絶縁膜またはゲート絶縁膜を形成する工程が、
(a) CVD 法により第 1 酸化タンタル膜を形成する工程、

(b) 第 1 の熱処理により前記第 1 酸化タンタル膜を結晶化させて第 1 多結晶酸化タンタル膜を形成する工程、

(c) 前記第 1 多結晶酸化タンタル膜上に、CVD 法により第 2 酸化タンタル膜を形成する工程、

(d) 前記第 2 酸化タンタル膜に第 2 の熱処理を施す工程、

を含むことを特徴とする半導体装置の製造方法。

【請求項 15】 請求項 14 記載の半導体装置の製造方法であって、

前記第 1 および第 2 酸化タンタル膜の形成は、有機タンタルガスを原料とした CVD 法により、 550°C 以下の

温度で行うことを特徴とする半導体装置の製造方法。

【請求項 16】 請求項 15 記載の半導体装置の製造方法であって、

前記第 1 および第 2 酸化タンタル膜の膜厚は、10 nm 以下とすることを特徴とする半導体装置の製造方法。

【請求項 17】 請求項 14～16 の何れか一項に記載の半導体装置の製造方法であって、

前記第 1 または第 2 の熱処理は、酸化雰囲気において 650℃以上の温度で行われることを特徴とする半導体装置の製造方法。

【請求項 18】 請求項 17 記載の半導体装置の製造方法であって、

前記第 1 または第 2 の熱処理は、酸素雰囲気における、処理温度 700℃～850℃、処理時間 1 分～10 分の第 1 の条件、または、一酸化二窒素雰囲気における、処理温度 650℃～850℃、処理時間 1 分～10 分の第 2 の条件、の何れかの条件で行われることを特徴とする半導体装置の製造方法。

【請求項 19】 請求項 14～16 の何れか一項に記載の半導体装置の製造方法であって、

前記第 1 または第 2 の熱処理は、酸化雰囲気において 600℃以下の温度で第 1 処理が行われた後、不活性ガス雰囲気において処理温度 650℃～850℃、処理時間 1 分～10 分の条件で第 2 処理が行われることを特徴とする半導体装置の製造方法。

【請求項 20】 請求項 14～16 の何れか一項に記載の半導体装置の製造方法であって、

前記第 1 または第 2 の熱処理は、不活性ガス雰囲気において処理温度 650℃～850℃、処理時間 1 分～10 分の条件で第 2 処理が行われた後、酸化雰囲気において 600℃以下の温度で第 1 処理が行われることを特徴とする半導体装置の製造方法。

【請求項 21】 請求項 19 または 20 記載の半導体装置の製造方法であって、

前記第 1 処理は、オゾン雰囲気における、処理温度 300℃～500℃の第 3 条件、または、酸素雰囲気における処理温度 550℃～600℃の第 4 条件、の何れかの条件で行われることを特徴とする半導体装置の製造方法。

【請求項 22】 請求項 14～21 の何れか一項に記載の半導体装置の製造方法であって、

前記第 1 電極または前記基板の主面がシリコンを主成分とする材料からなり、前記 (a) 工程の前記第 1 酸化タンタル膜の形成前に、前記第 1 電極または前記基板の表面を窒化することを特徴とする半導体装置の製造方法。

【請求項 23】 請求項 22 記載の半導体装置の製造方法であって、

前記窒化は、アンモニア雰囲気における処理温度 700℃～850℃の熱処理により行われることを特徴とする半導体装置の製造方法。

【請求項 24】 請求項 22 または 23 記載の半導体装置の製造方法であって、

前記窒化の前に、前記第 1 電極の表面に粒状のシリコン結晶を成長させることを特徴とする半導体装置の製造方法。

【請求項 25】 CVD 法により酸化タンタル膜を基板に堆積する第 1 反応室と、酸化雰囲気または不活性雰囲気における前記基板の熱処理が可能な第 2 反応室と、前記第 1 および第 2 反応室に接続され、減圧状態を保持しつつ前記基板を前記第 1 および第 2 反応室に搬送する真空搬送室と、前記真空搬送室に接続され、前記基板のロード・アンロードを行うロードロック室とを有する半導体装置の製造装置であって、

前記第 1 反応室における第 1 酸化タンタル膜の前記基板への堆積の後、減圧状態を維持しつつ前記基板を前記第 2 反応室に搬入し、前記第 2 反応室における熱処理により前記第 1 酸化タンタル膜を結晶化し、さらに減圧状態を維持しつつ第 1 反応室における第 2 酸化タンタル膜の堆積および第 2 反応室における第 2 酸化タンタル膜の結晶化を行うことを特徴とする半導体装置の製造装置。

【請求項 26】 請求項 25 記載の半導体装置の製造装置であって、

さらに、前記真空搬送室に接続され、アンモニア雰囲気における熱処理が可能な第 3 反応室を有し、前記第 3 反応室における前記基板表面のシリコン領域の窒化の後、減圧状態を維持しつつ前記第 1 反応室に前記基板を搬送することを特徴とする半導体装置の製造装置。

【請求項 27】 請求項 25 または 26 記載の半導体装置の製造装置であって、

さらに、前記真空搬送室に接続され、多結晶シリコン膜、金属膜または金属化合物膜がスパッタ法または CVD 法により堆積できる第 4 反応室を有し、前記第 2 反応室における酸化タンタル膜の結晶化の後、減圧状態を維持しつつ前記第 4 反応室に前記基板を搬送し、結晶化酸化タンタル膜上に多結晶シリコン膜、金属膜または金属化合物膜を形成することを特徴とする半導体装置の製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造技術に関し、特に、DRAM (Dynamic Random Access Memory) を有する半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】DRAM のメモリセルは、半導体基板の主面上にマトリクス状に配置された複数のワード線と複数のビット線との交点に配置され、1 個のメモリセル選択用 MISFET (Metal Insulator Semiconductor Field Effect Transistor) とこれに直列に接続された 1 個の情報蓄積容量素子 (キャパシタ) とで構成されてい

る。メモリセル選択用MISFETは、周囲を素子分離領域で囲まれた活性領域に形成され、主としてゲート酸化膜、ワード線と一体に構成されたゲート電極およびソース、ドレインを構成する一対の半導体領域で構成されている。ビット線は、メモリセル選択用MISFETの上部に配置され、その延在方向に隣接する2個のメモリセル選択用MISFETによって共有されるソース、ドレインの一方と電気的に接続されている。情報蓄積用容量素子は、同じくメモリセル選択用MISFETの上部に配置され、上記ソース、ドレインの他方と電気的に接続されている。

【0003】特開平7-7084号公報は、ビット線の上部に情報蓄積用容量素子を配置するキャパシタ・オーバー・ビットライン (Capacitor Over Bitline) 構造のDRAMを開示している。この公報に記載されたDRAMは、メモリセルの微細化に伴う情報蓄積用容量素子の蓄積電荷量(Cs)の減少を補うために、ビット線の上部に配置した情報蓄積用容量素子の下部電極(蓄積電極)を円筒状に加工することによってその表面積を増やし、その上部に容量絶縁膜と上部電極(プレート電極)とを形成している。また、容量絶縁膜としては、シリコン酸化膜とシリコン窒化膜との積層絶縁膜が用いられる。

【0004】ところが、DRAMの高集積化および微細化の進展により下部電極の表面積が縮小され、シリコン酸化膜とシリコン窒化膜との積層絶縁膜からなる容量絶縁膜では、十分な蓄積電荷量を確保することが困難となる。一方、十分な蓄積電荷量を確保するための容量絶縁膜の膜厚の縮小は、上部電極および下部電極間のリーク電流の増加を招き、DRAMのリフレッシュ特性(信頼性)が劣化する。そこで、リーク電流を抑制するに十分な膜厚においても必要な蓄積電荷量を確保する手段が必要となり、様々な方法が提案されている。

【0005】その一つは、高誘電体または強誘電体材料を容量絶縁膜に用い、シリコン酸化膜に換算した場合の実効的な容量絶縁膜の膜厚を薄くし、十分な容量値を確保する方法である。その代表的な絶縁膜としては酸化タンタル膜がある。酸化タンタル膜を容量絶縁膜に用いる技術は、たとえば、Extended Abstracts of the 1993 International Conference on Solid State Device and Materials, Makuhari pp853-855、同文献pp862-864、あるいは、第43回応用物理学関係連合公演会予稿集728頁等に記載されている。

【0006】なお、酸化タンタル膜は一般に有機タンタルガスをを用いたCVD法により形成されるため、高温での堆積は困難である。このため、アズデポの状態での酸化タンタル膜はアモルファス状態であり、高誘電率の容量絶縁膜を得るためには熱処理を施してこれを結晶化させる必要がある。一方、高温での熱処理を避けるために、400℃程度の酸化雰囲気における熱処理あるいは

プラズマ処理により酸化タンタル膜を改質する方法が提案されている。

【0007】

【発明が解決しようとする課題】前記した酸化タンタル膜のうち、熱処理あるいはプラズマ処理により改質された酸化タンタル膜は、結晶化された酸化タンタル膜よりも誘電率が低く、DRAMの高集積化には不利である。また、情報蓄積用容量素子を形成した後の配線とその下層の配線または基板との接続部の導通を促すための熱処理(たとえば400℃~600℃)等により、結晶化されていない酸化タンタル膜の膜質が劣化し、DRAMの信頼性を損なう恐れがある。一方、結晶化された酸化タンタル膜は、結晶化の際の熱処理(たとえば750℃)により十分高い温度がかけられるため、その後の熱処理により酸化タンタル膜が劣化することは少ない。しかも、結晶化された酸化タンタル膜は誘電率が非晶質の場合に比較して2倍程度高く、DRAMの高集積化に有利である。このように容量絶縁膜に用いる酸化タンタル膜は、その熱処理に対する信頼性、高集積化への適用性等から結晶化させることが好ましい。

【0008】しかし、結晶化された酸化タンタル膜は、多結晶薄膜であり、その膜中に結晶粒界が存在する。この結晶粒界は、酸化タンタル膜を挟んで形成される下部電極と上部電極との間のリーク電流のパスになる可能性がある。特に、粒状シリコンをその表面に有する多結晶シリコン膜を下部電極に採用した場合にはリーク電流が増大する傾向にあることが本発明者らの検討により判明している。高集積化とともに高い信頼性を有するDRAMの実現のために、前記のような下部電極構造においてもリーク電流を低減できる技術が要請される。

【0009】また、結晶化された酸化タンタル膜を用いれば、その高い誘電率を利用して、設計の範囲内で容量絶縁膜の膜厚を厚くすることも可能となる。また、リーク電流の低減には膜厚を増大させることも一つの対策となる。しかしながら、酸化タンタル膜の膜厚を厚くすれば、結晶化酸化タンタル膜のストレスが増大し、それに起因して結晶粒界でのリーク電流が大きくなる。

【0010】さらに、膜厚の増大は結晶化酸化タンタル膜の表面モルフォロジの劣化を引き起こすことが発明者らの検討により判明している。この表面モルフォロジの劣化は、微細なスケールにおける上部および下部電極間の距離の短い場所の発生を意味し、この部分でのリークあるいは絶縁破壊の可能性が大きくなる。特に、このような電極間距離の短い場所は結晶粒界でもある可能性が高く、リーク電流のさらなる増加の要因にもなると考えられる。

【0011】一方、MISFETにおけるゲート絶縁膜としては一般にシリコン酸化膜が用いられるが、MISFETの微細化に伴い、ゲート絶縁膜の膜厚も薄くする必要がある。しかし、ゲート絶縁膜としてシリコン酸化

膜を用いる限り、その膜厚を数 nm 程度まで薄くすると基板とゲート電極との間にトンネル電流が流れ、MISFET として正常に機能しなくなる。

【0012】本発明の目的は、耐熱性を有するとともに、リーク電流が少なく、絶縁耐圧の高い容量絶縁膜を提供することにある。

【0013】また、本発明の目的は、容量絶縁膜のストレス、表面モルフォロジ、密度等の膜特性を改善することにある。

【0014】また、本発明の目的は、DRAM のリフレッシュ特性等の信頼性および性能を向上することにある。

【0015】また、本発明の目的は、実効的なゲート絶縁膜の膜厚が縮小され、かつ、トンネル電流の発生を抑制したゲート絶縁膜を提供することにある。

【0016】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0017】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0018】(1) 本発明の半導体装置は、半導体からなる基板または半導体層をその表面に有する基板と、基板の主面に形成されたメモリセル選択用 MISFET と、メモリセル選択用 MISFET のソースまたはドレインとして機能する半導体領域に電気的に接続された第 1 電極、第 1 電極に対向して形成された第 2 電極および第 1、第 2 電極の間に挟まれた容量絶縁膜で構成される情報蓄積用容量素子とを有する半導体装置であって、容量絶縁膜は、多結晶構造を有する金属酸化膜が 2 層以上形成された積層膜を含むものである。

【0019】このような半導体装置によれば、容量絶縁膜に多結晶構造を有する金属酸化膜が 2 層以上形成された積層膜を含むため、容量絶縁膜を構成する多結晶金属膜の粒界すなわちリークパスが分断され、第 1 および第 2 電極の間のリーク電流を低減できる。

【0020】(2) また、本発明の半導体装置は、半導体からなる基板または半導体層をその表面に有する基板と、基板の主面に形成されたゲート絶縁膜、ゲート絶縁膜を介して基板の主面に形成されたゲート電極を含む MISFET とを有する半導体装置であって、ゲート絶縁膜は、多結晶構造を有する金属酸化膜が 2 層以上形成された積層膜を含むものであるものである。

【0021】このような半導体装置によれば、ゲート絶縁膜を高い誘電率の金属酸化膜により構成するため、その膜厚をトンネル電流が流れる程に薄くしなくても十分な容量を確保できる。これによりゲート絶縁膜を介したゲート電極と基板との間のトンネル電流を抑制できる。また、ゲート絶縁膜が、多結晶構造を有する金属酸化膜

が 2 層以上形成された積層膜を含むため、ゲート絶縁膜を構成する多結晶金属膜の粒界すなわちリークパスが分断され、ゲート電極と基板との間のリーク電流を低減できる。

【0022】なお、前記 (1) および (2) の半導体装置において、金属酸化膜を構成する金属元素は、タンタルとすることができる。すなわち、容量絶縁膜またはゲート絶縁膜を多結晶酸化タンタル膜の積層膜で構成できる。

【0023】また、積層膜を構成する複数の金属酸化膜は、その膜厚が各々 10 nm 以下とすることができる。このようにその膜厚が各々 10 nm 以下とすることにより、積層膜のストレスを低減し、また、密度を向上し、また、モルフォロジを改善できる。これらの膜質の向上は、結果的にリーク電流を低減することにつながる。

【0024】また、前記 (1) の半導体装置において、第 1 電極を多結晶シリコン膜とし、第 1 電極と積層膜との間にシリコン窒化膜またはシリコン酸窒化膜を形成することができる。第 1 電極と積層膜との間にシリコン窒化膜またはシリコン酸窒化膜を形成することにより、容量絶縁膜を構成する金属酸化物、酸化タンタル膜の結晶化の際の酸化処理において、第 1 電極である多結晶シリコン膜の酸化を抑制することができる。なお、多結晶シリコン膜の表面には、粒状のシリコン結晶による凹凸が形成されていてもよい。このような粒状シリコンによる凹凸を有する場合において特にリーク電流が大きくなる傾向にあるため、このような場合に本発明を適用すれば特に顕著な効果を得ることができる。

【0025】また、前記 (1) の半導体装置において、第 1 電極を金属または金属の窒化物もしくは酸化物とし、第 1 電極と積層膜との間に第 1 電極を構成する金属の酸化膜を形成することもできる。このような場合、容量絶縁膜を構成する金属酸化物、酸化タンタル膜の結晶化の際の酸化処理において、第 1 電極である金属または金属の窒化物もしくは酸化物の酸化を抑制することができる。なお、この場合、第 1 電極を構成する金属は、ルテニウム、タングステンまたはチタンとすることができる。

【0026】前記 (2) の半導体装置において、基板と積層膜との間にシリコン窒化膜またはシリコン酸窒化膜を形成できる。この場合、ゲート絶縁膜を構成する金属酸化物、酸化タンタル膜の結晶化の際の酸化処理において、基板の酸化を防止することができる。

【0027】また、前記した (1) および (2) の半導体装置において、金属酸化膜を多結晶酸化タンタル膜とした場合には、複数層の酸化タンタル膜で構成される積層膜の密度は 8.5 g/cm^3 以上となり、また、その応力は 1100 MPa 以下となり、その表面粗さは積層膜の膜厚の 10% 以下となる。また、酸化タンタル膜の積層膜はその膜厚方向に均質に形成される。これらの膜特

性は、X線反射率測定によりされるものであり、これらの結果は従来方法により得られる酸化タンタル膜の膜特性を上回る良好なものである。このように良好な膜特性が得られるのは後に説明するように多結晶酸化タンタル膜の積層膜を2ステップあるいはそれ以上のステップに分けて形成するためと考えられる。

【0028】(3)本発明の半導体装置の製造方法は、半導体からなる基板または半導体層をその表面に有する基板と、基板の主面に形成されたメモリセル選択用MISFETと、メモリセル選択用MISFETのソースまたはドレインとして機能する半導体領域に電氣的に接続された第1電極、第1電極に対向して形成された第2電極および第1、第2電極の間に挟まれた容量絶縁膜で構成される情報蓄積用容量素子とを有する半導体装置、または、半導体からなる基板または半導体層をその表面に有する基板と、基板の主面に形成されたゲート絶縁膜、ゲート絶縁膜を介して基板の主面に形成されたゲート電極を含むMISFETとを有する半導体装置の製造方法であって、容量絶縁膜またはゲート絶縁膜を形成する工程が、(a)CVD法により第1酸化タンタル膜を形成する工程、(b)第1の熱処理により第1酸化タンタル膜を結晶化させて第1多結晶酸化タンタル膜を形成する工程、(c)第1多結晶酸化タンタル膜上に、CVD法により第2酸化タンタル膜を形成する工程、(d)第2酸化タンタル膜に第2の熱処理を施す工程、を含むものである。

【0029】このような半導体装置の製造方法によれば、多結晶酸化タンタル膜の積層膜を形成することができる。積層膜は、前記の通り1層ごとに結晶化して形成された各多結晶酸化タンタル膜を積層することにより形成される。なお、(c)および(d)工程をさらに繰り返して、3層以上の積層多結晶酸化タンタル膜を形成してもよい。

【0030】なお、第1および第2酸化タンタル膜は、有機タンタルガスを原料としたCVD法により、550℃以下の温度で形成される。

【0031】また、第1および第2酸化タンタル膜の膜厚は、10nm以下とする。このように10nm以下の膜厚の多結晶酸化タンタル膜を積層することにより、膜厚方向に均一な積層膜が形成され、そのストレスの低減、モルフォロジの改善、密度の向上を図ることができる。

【0032】また、第1または第2の熱処理は、酸化雰囲気において650℃以上の温度で行われる。たとえば、酸素雰囲気における、処理温度700℃～850℃、処理時間1分～10分の第1の条件、または、一酸化二窒素雰囲気における、処理温度650℃～850℃、処理時間1分～10分の第2の条件、を例示できる。

【0033】さらに、第1または第2の熱処理は、酸化

雰囲気における600℃以下の温度での第1処理が行われた後、不活性ガス雰囲気における処理温度650℃～850℃、処理時間1分～10分の条件での第2処理により行うことができ、前記第1および第2処理を逆にした処理つまり不活性ガス雰囲気における処理温度650℃～850℃、処理時間1分～10分の条件での第2処理が行われた後、酸化雰囲気における600℃以下の温度での第1処理により行うことができる。

【0034】なお、第1処理は、オゾン雰囲気における、処理温度300℃～500℃の第3条件、または、酸素雰囲気における処理温度550℃～600℃の第4条件、の何れかの条件で行うことができる。

【0035】なお、本発明は前記の通り、酸化タンタル膜を堆積し、オゾン雰囲気における熱処理(オゾンアニール)を行い、さらに酸化タンタル膜の堆積およびオゾンアニールを行うという工程を含むものである。このような方法に類似した方法として、特開平9-121035号公報に記載のキャパシタ膜の形成方法がある。この公報記載の方法は、Ta₂O₅膜を形成する第1段階と、Ta₂O₅膜にUV-O₃アニーリングを施す第2段階と、第1段階および第2段階を一回以上繰り返し施す第3段階とを有するものである。しかしながら、この公報記載の方法は、O₃アニーリングの繰り返しにより酸素をTa₂O₅膜に十分に供給することを目的としているものであり、このような工程で形成されたTa₂O₅膜はアモルファス膜であると考えられる。これに対し、本発明の方法により形成された酸化タンタル膜は結晶化されるものであり、この点において明確に相違する。また、本発明の方法は、結晶化により形成された酸化タンタル結晶の粒界を積層化により分断し、モルフォロジを改善し、結晶粒の粒径を小さくすることによる絶縁耐圧の向上を目的としており、目的において相違するものである。この目的の相違に対応して、前記公報の方法ではTa₂O₅膜の膜厚を10～500Åとするのに対し、本発明では、各ステップにおける酸化タンタル膜の膜厚を10nmとする構成の相違にも現れている。

【0036】前記製造方法において、第1電極または基板の主面がシリコンを主成分とする材料からなる場合には、(a)工程の第1酸化タンタル膜の形成前に、第1電極または基板の表面を窒化することができる。この場合、窒化により形成された第1電極上のシリコン窒化膜あるいはシリコン酸窒化膜により、第1酸化タンタル膜の結晶化処理の際のシリコンの酸化を防止することができる。この結果、誘電率の低いシリコン酸化膜が実質的に容量絶縁膜と作用して情報蓄積用容量素子の蓄積電荷量を減少させることがなくなる。なお、この窒化は、アンモニア雰囲気における処理温度700℃～850℃の熱処理により行うことができる。

【0037】また、第1電極の主面がシリコンを主成分とする材料からなる場合には、窒化の前に、第1電極の

表面に粒状のシリコン結晶を成長させることができる。これにより下部電極である第1電極の表面積を増加し、情報蓄積用容量素子の蓄積電荷量を増加できる。

【0038】(4)本発明の半導体装置の製造装置は、CVD法により酸化タンタル膜を基板に堆積する第1反応室と、酸化雰囲気または不活性雰囲気における基板の熱処理が可能な第2反応室と、第1および第2反応室に接続され、減圧状態を保持しつつ基板を第1および第2反応室に搬送する真空搬送室と、真空搬送室に接続され、基板のロード・アンロードを行うロードロック室とを有する半導体装置の製造装置であって、第1反応室における第1酸化タンタル膜の基板への堆積の後、減圧状態を維持しつつ基板を第2反応室に搬入し、第2反応室における熱処理により第1酸化タンタル膜を結晶化し、さらに減圧状態を維持しつつ第1反応室における第2酸化タンタル膜の堆積および第2反応室における第2酸化タンタル膜の結晶化を行うものである。

【0039】このような半導体装置の製造装置によれば、前記した(3)の製造方法を実現でき、また、

(1)および(2)の半導体装置の多結晶酸化タンタル膜を製造できる。なお、この製造装置によれば、第1反応室と第2反応室の間の搬送を減圧雰囲気下で行うため、積層膜を構成する多結晶酸化タンタル膜の清浄度を保持することができ、容量絶縁膜の絶縁耐圧を向上して半導体装置の性能および信頼性を向上できる。

【0040】なお、前記製造装置は、さらに、真空搬送室に接続され、アンモニア雰囲気における熱処理が可能な第3反応室を有し、第3反応室における基板表面のシリコン領域の窒化の後、減圧状態を維持しつつ第1反応室に基板を搬送するものとすることができる。この場合、第3反応室におけるシリコン窒化膜またはシリコン酸窒化膜の形成と第1および第2反応室における多結晶酸化タンタル膜の形成との間を減圧状態に保持するため、大気解放による酸素の付着等がなく、界面を清浄に維持できる。

【0041】また、前記製造装置は、真空搬送室に接続され、多結晶シリコン膜、金属膜または金属化合物膜がスパッタ法またはCVD法により堆積できる第4反応室をさらに有し、第2反応室における酸化タンタル膜の結晶化の後、減圧状態を維持しつつ第4反応室に基板を搬送し、結晶化酸化タンタル膜上に多結晶シリコン膜、金属膜または金属化合物膜を形成するものともできる。これにより第4反応室で形成される多結晶シリコン膜、金属膜または金属化合物膜で上部電極を構成し、情報蓄積用容量素子の形成を減圧状態を維持した環境で一貫的に製造できる。

【0042】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同

一の符号を付し、その繰り返しの説明は省略する。

【0043】(実施の形態1)図1は、実施の形態1のDRAMを形成した半導体チップの全体平面図である。図示のように、単結晶シリコンからなる半導体チップ1Aの主面には、X方向(半導体チップ1Aの長辺方向)およびY方向(半導体チップ1Aの短辺方向)に沿って多数のメモリアレイMARYがマトリクス状に配置されている。X方向に沿って互いに隣接するメモリアレイMARYの間にはセンスアンプSAが配置されている。半導体チップ1Aの主面の中央部には、ワードドライバWD、データ線選択回路などの制御回路や、入出力回路、ボンディングパッドなどが配置されている。

【0044】図2は、実施の形態1のDRAMの等価回路図である。図示のように、このDRAMのメモリアレイ(MARY)は、マトリクス状に配置された複数のワード線WL(WL0、WL1、WLn...)と複数のビット線BLおよびそれらの交点に配置された複数のメモリセル(MC)により構成されている。1ビットの情報を記憶する1個のメモリセルは、1個の情報蓄積用容量素子Cとこれに直列に接続された1個のメモリセル選択用MISFETQsとで構成されている。メモリセル選択用MISFETQsのソース、ドレインの一方は、情報蓄積用容量素子Cと電気的に接続され、他方はビット線BLと電気的に接続されている。ワード線WLの一端は、ワードドライバWDに接続され、ビット線BLの一端は、センスアンプSAに接続されている。

【0045】次に、本実施の形態のDRAMの製造方法を図面を用いて工程順に説明する。図3～図26は、実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【0046】まず、図3に示すように、素子分離領域および不純物が導入されたウェル領域を形成する。

【0047】p型で比抵抗が10Ωcm程度の単結晶シリコンからなる半導体基板1を用意し、たとえば850℃程度でウェット酸化して形成した膜厚10nm程度の薄いシリコン酸化膜(図示せず)およびたとえばCVD(Chemical Vapor Deposition)法で形成した膜厚140nm程度のシリコン窒化膜(図示せず)を半導体基板1上に堆積する。ここでは単結晶シリコンの半導体基板1を例示するが、表面に単結晶シリコン層を有するSOI(Silicon On Insulator)基板、あるいは、表面に多結晶シリコン膜を有するガラス、セラミックス等の誘電体基板であってもよい。

【0048】次に、フォトリソist膜(図示せず)をマスクにして、溝5が形成される領域の前記シリコン窒化膜およびシリコン酸化膜をパターニングし、このシリコン窒化膜をマスクとして半導体基板1をドライエッチングすることにより、素子分離領域の半導体基板1に深さ300～400nm程度の溝5を形成する。

【0049】次に、前記フォトリソist膜を除去した

後、前記のエッチングによって溝 5 の内壁に生じたダメージ層を除去するために、たとえば 850～900℃程度のウェット酸化による薄い（膜厚 10nm 程度の）シリコン酸化膜 6 を溝 5 の内壁に形成し、たとえばオゾン（O₃）とテトラエトキシシラン（TEOS）とをソースガスに用いたプラズマ CVD 法で堆積されたシリコン酸化膜（図示せず）を 300～400nm 程度の膜厚で堆積する。このシリコン酸化膜は、1000℃程度でドライ酸化によりシンタリング（焼き締め）を行なってもよい。

【0050】次に、このシリコン酸化膜を CMP 法により研磨して溝 5 以外の領域のシリコン酸化膜を除去し、溝 5 の内部にシリコン酸化膜 7 を残して素子分離領域を形成する。なお、この CMP 法による研磨の前に、溝 5 の領域にシリコン窒化膜を形成して、溝 5 領域のシリコン酸化膜が過剰に深く研磨されるディッシングを防止することができる。

【0051】次に、半導体基板 1 の表面に残存しているシリコン酸化膜およびシリコン窒化膜をたとえば熱リン酸を用いたウェットエッチングで除去した後、メモリセルを形成する領域（メモリアレイ）の半導体基板 1 に n 型不純物、たとえば P（リン）をイオン打ち込みして n 型半導体領域 10 を形成し、メモリアレイと周辺回路の一部（n チャネル型 MISFET を形成する領域）に p 型不純物、たとえば B（ホウ素）をイオン打ち込みして p 型ウエル 11 を形成し、周辺回路の他の一部（p チャネル型 MISFET を形成する領域）に n 型不純物、たとえば P（リン）をイオン打ち込みして n 型ウエル 12 を形成する。また、このイオン打ち込みに続いて、MISFET のしきい値電圧を調整するための不純物、たとえば BF₂（フッ化ホウ素）を p 型ウエル 11 および n 型ウエル 12 にイオン打ち込みする。n 型半導体領域 10 は、入出力回路などから半導体基板 1 を通じてメモリアレイの p 型ウエル 11 にノイズが侵入するのを防止するために形成される。

【0052】次に、半導体基板 1 の表面をたとえば HF（フッ酸）系の洗浄液を使って洗浄した後、半導体基板 1 を 850℃程度でウェット酸化して p 型ウエル 11 および n 型ウエル 12 の各表面に膜厚 7nm 程度の清浄なゲート酸化膜 13 を形成する。特に限定はされないが、上記ゲート酸化膜 13 を形成した後、半導体基板 1 を NO（酸化窒素）雰囲気中または N₂O（亜酸化窒素）雰囲気中で熱処理することによって、ゲート酸化膜 13 と半導体基板 1 との界面に窒素を偏析させてもよい（酸窒化処理）。ゲート酸化膜 13 が 7nm 程度まで薄くなると、半導体基板 1 との熱膨張係数差に起因して両者の界面に生じる歪みが顕在化し、ホットキャリアの発生を誘発する。半導体基板 1 との界面に偏析した窒素はこの歪みを緩和するので、上記の酸窒化処理は、極めて薄いゲート酸化膜 13 の信頼性を向上できる。

【0053】次に、図 4 に示すように、ゲート酸化膜 13 の上部にゲート電極 14A、14B、14C を形成する。ゲート電極 14A は、メモリセル選択用 MISFET の一部を構成し、活性領域以外の領域ではワード線 WL として使用される。このゲート電極 14A（ワード線 WL）の幅、すなわちゲート長は、メモリセル選択用 MISFET の短チャネル効果を抑制して、しきい値電圧を一定値以上に確保できる許容範囲内の最小寸法（たとえば 0.24 μm 程度）で構成される。また、隣接するゲート電極 14A（ワード線 WL）同士の間隔は、フォトリソグラフィの解像限界で決まる最小寸法（たとえば 0.22 μm）で構成される。ゲート電極 14B およびゲート電極 14C は、周辺回路の n チャネル型 MISFET および p チャネル型 MISFET の各一部を構成する。

【0054】ゲート電極 14A（ワード線 WL）およびゲート電極 14B、14C は、たとえば P（リン）などの n 型不純物がドーブされた膜厚 70nm 程度の多結晶シリコン膜を半導体基板 1 上に CVD 法で堆積し、次いでその上部に膜厚 50nm 程度の WN（タングステンナイトライド）膜と膜厚 100nm 程度の W 膜とをスパッタリング法で堆積し、さらにその上部に膜厚 150nm 程度のシリコン窒化膜 15 を CVD 法で堆積した後、フォトレジスト膜 16 をマスクにしてこれらの膜をパターンニングすることにより形成する。WN 膜は、高温熱処理時に W 膜と多結晶シリコン膜とが反応して両者の界面に高抵抗のシリサイド層が形成されるのを防止するバリア層として機能する。バリア層は、WN 膜の他、TiN（チタンナイトライド）膜などを使用することもできる。

【0055】ゲート電極 14A（ワード線 WL）の一部を低抵抗の金属（W）で構成した場合には、そのシート抵抗を 2～2.5 Ω/□ 程度にまで低減できるので、ワード線遅延を低減することができる。また、ゲート電極 14（ワード線 WL）を A1 配線などで裏打ちしなくともワード線遅延を低減できるので、メモリセルの上部に形成される配線層の数を 1 層減らすことができる。

【0056】次に、フォトレジスト膜 16 を除去した後、フッ酸などのエッチング液を使って、半導体基板 1 の表面に残ったドライエッチング残渣やフォトレジスト残渣などを除去する。このウェットエッチングを行うと、ゲート電極 14A（ワード線 WL）およびゲート電極 14B、14C の下部以外の領域のゲート酸化膜 13 が削られると同時に、ゲート側壁下部のゲート酸化膜 13 も等方的にエッチングされてアンダーカットが生じるため、そのままではゲート酸化膜 13 の耐圧が低下する。そこで、半導体基板 1 を 900℃程度でウェット酸化することによって、削れたゲート酸化膜 13 の膜質を改善する。

【0057】次に、図 5 に示すように、n 型ウエル 12 に p 型不純物、たとえば B（ホウ素）をイオン打ち込みしてゲート電極 14C の両側の n 型ウエル 12 に p⁺ 型

10

20

30

40

50

半導体領域 17 を形成する。また、p 型ウエル 11 に n 型不純物、たとえば P (リン) をイオン打ち込みしてゲート電極 14 B の両側の p 型ウエル 11 に n⁻ 型半導体領域 18 を形成し、ゲート電極 14 A の両側の p 型ウエル 11 に n 型半導体領域 19 を形成する。これにより、メモリアレイにメモリセル選択用 MISFETQs が形成される。

【0058】次に、図 6 に示すように、半導体基板 1 上に CVD 法で膜厚 50 ~ 100 nm 程度のシリコン窒化膜 20 を堆積した後、メモリアレイのシリコン窒化膜 20 をフォトレジスト膜 21 で覆い、周辺回路のシリコン窒化膜 20 を異方性エッチングすることにより、ゲート電極 14 B、14 C の側壁にサイドウォールスペーサ 20 a を形成する。このエッチングは、ゲート酸化膜 13 や素子分離溝 5 に埋め込まれたシリコン酸化膜 7 の削れ量を最少とするために、シリコン酸化膜に対するシリコン窒化膜 20 のエッチングレートが大きくなるようなエッチングガスを使用して行う。また、ゲート電極 14 B、14 C 上のシリコン窒化膜 15 の削れ量を最少とするために、オーバーエッチング量を必要最小限にとどめるようにする。

【0059】次に、フォトレジスト膜 21 を除去した後、図 7 に示すように、周辺回路領域の n 型ウエル 12 に p 型不純物、たとえば B (ホウ素) をイオン打ち込みして p チャネル型 MISFET の p⁺ 型半導体領域 22 (ソース、ドレイン) を形成し、周辺回路領域の p 型ウエル 11 に n 型不純物、たとえば As (ヒ素) をイオン打ち込みして n チャネル型 MISFET の n⁺ 型半導体領域 23 (ソース、ドレイン) を形成する。これにより、周辺回路領域に LDD (Lightly Doped Drain) 構造を備えた p チャネル型 MISFETQp および n チャネル型 MISFETQn が形成される。

【0060】次に、図 8 に示すように、半導体基板 1 上に膜厚 300 nm 程度の SOG (SpinOn Glass) 膜 24 をスピンド塗布した後、半導体基板 1 を 800 °C、1 分程度熱処理して SOG 膜 24 をシンタリング (焼き締め) する。また、SOG 膜 24 の上部に膜厚 600 nm 程度のシリコン酸化膜 25 を堆積した後、このシリコン酸化膜 25 を CMP 法で研磨してその表面を平坦化する。さらに、シリコン酸化膜 25 の上部に膜厚 100 nm 程度のシリコン酸化膜 26 を堆積する。このシリコン酸化膜 26 は、CMP 法で研磨されたときに生じた前記シリコン酸化膜 25 の表面の微細な傷を補修するために堆積する。シリコン酸化膜 25、26 は、たとえばオゾン (O₃) とテトラエトキシシラン (TEOS) とをソースガスに用いたプラズマ CVD 法で堆積する。シリコン酸化膜 26 に代えて PSG (Phospho Silicate Glass) 膜などを堆積してもよい。

【0061】このように、本実施の形態では、ゲート電極 14 A (ワード線 WL) およびゲート電極 14 B、1

4 C の上部にリフロー性が高い SOG 膜 24 を塗布し、さらにその上部に堆積したシリコン酸化膜 25 を CMP 法で平坦化する。これにより、ゲート電極 14 A (ワード線 WL) 同士の微細な隙間のギャップフィル性が向上すると共に、ゲート電極 14 A (ワード線 WL) およびゲート電極 14 B、14 C の上部の絶縁膜の平坦化を実現することができる。

【0062】次に、図 9 に示すように、フォトレジスト膜 27 をマスクにしたドライエッチングでメモリセル選択用 MISFETQs の n 型半導体領域 19 (ソース、ドレイン) の上部のシリコン酸化膜 26、25 および SOG 膜 24 を除去する。このエッチングは、シリコン窒化膜 20 に対するシリコン酸化膜 26、25 および SOG 膜 24 のエッチングレートが大きくなるような条件で行い、n 型半導体領域 19 や素子分離溝 5 の上部を覆っているシリコン窒化膜 20 が完全には除去されないようにする。続いて、上記フォトレジスト膜 27 をマスクにしたドライエッチングでメモリセル選択用 MISFETQs の n 型半導体領域 19 (ソース、ドレイン) の上部のシリコン窒化膜 20 とゲート酸化膜 13 とを除去することにより、n 型半導体領域 19 (ソース、ドレイン) の一方の上部にコンタクトホール 28 を形成し、他方の上部にコンタクトホール 29 を形成する。このエッチングは、シリコン酸化膜 (ゲート酸化膜 13 および素子分離溝 5 内のシリコン酸化膜 7) に対するシリコン窒化膜 15 のエッチングレートが大きくなるような条件で行い、n 型半導体領域 19 や素子分離溝 5 が深く削れないようにする。また、このエッチングは、シリコン窒化膜 20 が異方的にエッチングされるような条件で行い、ゲート電極 14 A (ワード線 WL) の側壁にシリコン窒化膜 20 が残るようにする。これにより、フォトリソグラフィの解像限界以下の微細な径を有するコンタクトホール 28、29 がゲート電極 14 A (ワード線 WL) に対して自己整合で形成される。コンタクトホール 28、29 をゲート電極 14 A (ワード線 WL) に対して自己整合で形成するには、あらかじめシリコン窒化膜 20 を異方性エッチングしてゲート電極 14 A (ワード線 WL) の側壁にサイドウォールスペーサを形成しておいてもよい。

【0063】なお、図 9 におけるシリコン酸化膜 26 およびレジスト膜 27 の表面は、図 18 に示すような周辺回路領域におけるシリコン酸化膜 25 表面に沿って落ち込み (段差) 形状を成している。図 9 はその形状を省略している。

【0064】次に、フォトレジスト膜 27 を除去した後、フッ酸+フッ化アンモニウム混液などのエッチング液を使って、コンタクトホール 28、29 の底部に露出した基板表面のドライエッチング残渣やフォトレジスト残渣などを除去する。その際、コンタクトホール 28、29 の側壁に露出した SOG 膜 24 もエッチング液に曝

されるが、SOG膜24は、前述した800℃程度のシ
ンタリングによってフッ酸系のエッチング液に対するエ
ッチングレートが低減されているので、このウェットエ
ッチング処理によってコンタクトホール28、29の側
壁が大きくアンダーカットされることはない。これによ
り、次の工程でコンタクトホール28、29の内部に埋
め込まれるプラグ同士のショートを実際に防止すること
ができる。

【0065】次に、図10に示すように、コンタクトホ
ール28、29の内部にプラグ30を形成する。プラグ
30は、シリコン酸化膜26の上部にn型不純物（たと
えばP（リン））をドーブした多結晶シリコン膜をCVD
法で堆積した後、この多結晶シリコン膜をCMP法で
研磨してコンタクトホール28、29の内部に残すこと
により形成する。

【0066】次に、図11に示すように、シリコン酸化
膜26の上部に膜厚200nm程度のシリコン酸化膜31
を堆積した後、半導体基板1を800℃程度で熱処理す
る。シリコン酸化膜31は、たとえばオゾン（O₃）と
テトラエトキシシラン（TEOS）とをソースガスに用
いたプラズマCVD法で堆積する。この熱処理によっ
て、プラグ30を構成する多結晶シリコン膜中のn型不
純物がコンタクトホール28、29の底部からメモリセル
選択用MISFETQsのn型半導体領域19（ソー
ス、ドレイン）に拡散し、n型半導体領域19が低抵抗
化される。

【0067】次に、図12に示すように、フォトレジ
スト膜32をマスクにしたドライエッチングで前記コン
タクトホール28の上部のシリコン酸化膜31を除去して
プラグ30の表面を露出させる。次に、フォトレジスト
膜32を除去した後、図13に示すように、フォトレジ
スト膜33をマスクにしたドライエッチングで周辺回路
領域のシリコン酸化膜31、26、25、SOG膜24
およびゲート酸化膜13を除去することにより、nチャ
ネル型MISFETQnのn⁺型半導体領域23（ソー
ス、ドレイン）の上部にコンタクトホール34、35を
形成し、pチャネル型MISFETQpのp⁺型半導体
領域22（ソース、ドレイン）の上部にコンタクトホ
ール36、37を形成する。

【0068】次に、フォトレジスト膜33を除去した
後、図14に示すように、シリコン酸化膜31の上部に
ビット線BLおよび周辺回路の第1層配線38、39を
形成する。ビット線BLおよび第1層配線38、39を
形成するには、まずシリコン酸化膜31の上部に膜厚5
0nm程度のTi膜をスパッタリング法で堆積し、半導体
基板1を800℃程度で熱処理する。次いで、Ti膜の
上部に膜厚50nm程度のTiN膜をスパッタリング法で
堆積し、さらにその上部に膜厚150nm程度のW膜と膜
厚200nm程度のシリコン窒化膜40とをCVD法で堆
積した後、フォトレジスト膜41をマスクにしてこれら

の膜をパターニングする。

【0069】シリコン酸化膜31の上部にTi膜を堆積
した後、半導体基板1を800℃程度で熱処理すること
により、Ti膜と下地Siとが反応し、nチャネル型M
ISFETQnのn⁺型半導体領域23（ソース、ドレ
イン）の表面とpチャネル型MISFETQpのp⁺型
半導体領域22（ソース、ドレイン）の表面とプラグ3
0の表面とに低抵抗のTiSi₂（チタンシリサイド）
層42が形成される。これにより、n⁺型半導体領域2
3、p⁺型半導体領域22およびプラグ30に接続され
る配線（ビット線BL、第1層配線38、39）のコン
タクト抵抗を低減することができる。また、ビット線B
LをW膜/TiN膜/Ti膜で構成することにより、そ
のシート抵抗を2Ω/□以下にまで低減できるので、情
報の読み出し速度および書き込み速度を向上させること
ができると共に、ビット線BLと周辺回路の第1層配線
38、39とを一つの工程で同時に形成することができ
るので、DRAMの製造工程を短縮することができる。
さらに、周辺回路の第1層配線（38、39）をビット
線BLと同層の配線で構成した場合には、第1層配線を
メモリセルの上層のAl配線で構成する場合に比べて周
辺回路のMISFET（nチャネル型MISFETQ
n、pチャネル型MISFETQp）と第1層配線とを
接続するコンタクトホール（34～37）のアスペクト
比が低減されるため、第1層配線の接続信頼性が向上す
る。

【0070】ビット線BLは、隣接するビット線BLと
の間に形成される寄生容量をできるだけ低減して情報の
読み出し速度および書き込み速度を向上させるために、
その間隔がその幅よりも長くなるように形成する。ビッ
ト線BLの間隔はたとえば0.24μm程度とし、その幅
はたとえば0.22μm程度とする。

【0071】なお、TiSi₂層42は、熱処理による
劣化が生じる可能性があるが、その熱処理として後に説
明する情報蓄積用容量素子の容量絶縁膜の形成工程が考
えられる。しかしながら、後に説明するように、本実施
の形態においては容量絶縁膜の形成工程が低温化される
ため、TiSi₂層42が熱処理により劣化し、接続抵
抗の上昇等の不具合を生じることはない。

【0072】次に、フォトレジスト膜41を除去した
後、図15に示すように、ビット線BLの側壁と第1層
配線38、39の側壁とにサイドウォールスペーサ43
を形成する。サイドウォールスペーサ43は、ビット線
BLおよび第1層配線38、39の上部にCVD法でシ
リコン窒化膜を堆積した後、このシリコン窒化膜を異方
性エッチングして形成する。

【0073】次に、図16に示すように、ビット線BL
および第1層配線38、39の上部に膜厚300nm程度
のSOG膜44をスピン塗布する。次いで、半導体基板
1を800℃、1分程度熱処理してSOG膜44をシン

タリング（焼き締め）する。SOG膜44は、BPSG膜に比べてリフロー性が高く、微細な配線間のギャップフィル性に優れているので、フォトリソグラフィの解像限界程度まで微細化されたビット線BL同士の隙間を良好に埋め込むことができる。また、SOG膜44は、BPSG膜で必要とされる高温、長時間の熱処理を行わなくとも高いリフロー性が得られるため、ビット線BLの下層に形成されたメモリセル選択用MISFETQsのソース、ドレインや周辺回路のMISFET（nチャネル型MISFETQn、pチャネル型MISFETQp）のソース、ドレインに含まれる不純物の熱拡散を抑制して浅接合化を図ることができる。さらに、ゲート電極14A（ワード線WL）およびゲート電極14B、14Cを構成するメタル（W膜）の劣化を抑制できるので、DRAMのメモリセルおよび周辺回路を構成するMISFETの高性能化を実現することができる。また、ビット線BLおよび第1層配線38、39を構成するTi膜、TiN膜、W膜の劣化を抑制して配線抵抗の低減を図ることができる。

【0074】次に、SOG膜44の上部に膜厚600nm程度のシリコン酸化膜45を堆積した後、このシリコン酸化膜45をCMP法で研磨してその表面を平坦化する。シリコン酸化膜45は、たとえばオゾン（O₃）とテトラエトキシシラン（TEOS）とをソースガスに用いたプラズマCVD法で堆積する。

【0075】このように、本実施の形態では、ビット線BLおよび第1層配線38、39の上部に成膜直後でも平坦性が良好なSOG膜44を塗布し、さらにその上部に堆積したシリコン酸化膜45をCMP法で平坦化する。これにより、ビット線BL同士の微細な隙間のギャップフィル性が向上すると共に、ビット線BLおよび第1層配線38、39の上部の絶縁膜の平坦化を実現することができる。また、高温・長時間の熱処理を行わないため、メモリセルおよび周辺回路を構成するMISFETの特性劣化を防止して高性能化を実現できると共に、ビット線BLおよび第1層配線38、39の低抵抗化を図ることができる。

【0076】次に、シリコン酸化膜45の上部に膜厚100nm程度のシリコン酸化膜46を堆積する。このシリコン酸化膜46は、CMP法で研磨されたときに生じた前記シリコン酸化膜45の表面の微細な傷を補修するために堆積する。シリコン酸化膜46は、たとえばオゾン（O₃）とテトラエトキシシラン（TEOS）とをソースガスに用いたプラズマCVD法で堆積する。

【0077】次に、図17に示すように、フォトレジスト膜47をマスクにしたドライエッチングでコンタクトホール29の上部のシリコン酸化膜46、45、SOG膜44およびシリコン酸化膜31を除去してプラグ30の表面に達するスルーホール48を形成する。このエッチングは、シリコン酸化膜46、45、31およびSO

G膜44に対するシリコン窒化膜のエッチングレートが小さくなるような条件で行い、スルーホール48とビット線BLの合わせずれが生じた場合でも、ビット線BLの上部のシリコン窒化膜40やサイドウォールスペーサ43が深く削れないようにする。これにより、スルーホール48がビット線BLに対して自己整合で形成される。

【0078】次に、フォトレジスト膜47を除去した後、フッ酸+フッ化アンモニウム混液などのエッチング液を使って、スルーホール48の底部に露出したプラグ30の表面のドライエッチング残渣やフォトレジスト残渣などを除去する。その際、スルーホール48の側壁に露出したSOG膜44もエッチング液に曝されるが、SOG膜44は、前記800℃程度のシンタリングによってフッ酸系のエッチング液に対するエッチングレートが低減されているので、このウェットエッチング処理によってスルーホール48の側壁が大きくアンダーカットされることはない。これにより、次の工程でスルーホール48の内部に埋め込まれるプラグとビット線BLとのショートを実際に防止することができる。また、プラグとビット線BLとを十分に離間させることができるので、ビット線BLの寄生容量の増加を抑制することができる。

【0079】次に、図18に示すように、スルーホール48の内部にプラグ49を形成する。プラグ49は、金属化合物たとえば窒化チタン膜からなる。プラグ49は、後に説明する反応防止層50の形成の際の反応防止層50とプラグ30との反応を抑制することができる。これにより、プラグ30とプラグ49との間に、導通を阻害する物質、たとえばシリコン酸化物の形成を抑制して、情報蓄積用容量素子とメモリセル選択用MISFETQsとの接続を良好に維持することができる。プラグ49は、シリコン酸化膜46の上部に、たとえば窒化チタン膜をスパッタ法あるいはCVD法により堆積し、これをエッチバックしてスルーホール48の内部に残すことにより形成する。エッチバックに代えて、CMP法により窒化チタン膜を研磨して除去してもよい。

【0080】なお、プラグ49は、前記窒化チタン膜等の金属化合物に限られず、多結晶シリコン膜により構成してもよい。

【0081】次に、図19に示すように、プラグ49およびシリコン酸化膜46の上部に反応防止層50およびルテニウム（Ru）膜51を堆積する。反応防止層50としては酸化ルテニウム膜を例示できる。ルテニウム膜51は後に下部電極となるものである。反応防止層50の膜厚は数nm～50nm程度とすることができる。また、ルテニウム膜51の膜厚は、たとえば0.5μmとすることができる。ただし、この0.5μmという値は、下部電極の高さを規定するものであり、下部電極の面積すなわち確保しようとする容量値により調整することがで

きる。反応防止層 50 は、スパッタ法あるいは CVD 法により形成することができる。なお、反応防止層 50 は必須の構成要件ではなく、なくてもよい。

【0082】ルテニウム膜 51 は、ルテニウムをターゲットとするスパッタ法あるいは有機ルテニウムガスを原料ガスとする CVD 法により形成できる。なお、ルテニウム膜 51 に代えて、酸化ルテニウム膜、タングステン膜、窒化チタン膜等を用いることもできる。

【0083】次に、図 20 に示すように、ルテニウム膜 51 上にフォトレジスト膜 52 を形成し、このフォトレジスト膜 52 をマスクとしてルテニウム膜 51 および反
10 応防止層 50 をたとえば RIE (Reactive Ion Etching) 法を用いてエッチングし、除去する。このようにして反応防止層 53 およびルテニウム膜 51 からなる下部電極 54 を形成する。反応防止層 53 は、後に説明する容量絶縁膜の酸化性雰囲気での熱処理の際の酸素の侵入を阻止する作用を有する。

【0084】次に、フォトレジスト膜 52 を除去した後、図 21 に示すように、半導体基板 1 の全面に膜厚 10nm 以下の酸化タンタル膜 55 を堆積する。酸化タンタル膜 55 の堆積は、たとえばペンタエトキシタンタル
20 ($\text{Ta}(\text{C}_2\text{H}_5\text{O})_5$) を含むガスを原料ガスとし、550℃以下の減圧状態（たとえば 400mTorr）における熱 CVD 法により形成できる。なお、酸化タンタル膜 55 の形成には、 $\text{Ta}(\text{C}_2\text{H}_5)_5$ 等のペンタアルキルタンタルガスと酸素との混合ガスを原料ガスに用いてもよい。

【0085】このように、酸化タンタル膜 55 の膜厚を 10nm 以下とすることにより、後に説明する酸化タンタル膜 55 の熱処理後の第 1 多結晶酸化タンタル膜のスト
30 レスの低減、モルフォロジの改善、密度の向上を図ることができる。また、酸化タンタル膜 55 を熱 CVD 法により堆積することにより、ステップカバレッジに優れた酸化タンタル膜 55 とすることができる。

【0086】次に、酸化タンタル膜 55 に熱処理を施し、これを結晶化して結晶化酸化タンタル膜 56 を形成する。酸化タンタル膜 55 の熱処理は、酸化雰囲気において 650℃以上の温度条件で行われる。この 650℃の温度は、酸化タンタルの結晶化温度であり、良好な結晶の酸化タンタル膜を得るためには 650℃以上である
40 ことが必要である。また、酸化雰囲気において処理されるのは、結晶化された酸化タンタル結晶の酸素欠陥を回復し、良好な結晶性の多結晶酸化タンタル膜を得るために行うものである。たとえば、酸素雰囲気における、処理温度 700℃～850℃、処理時間 1 分～10 分の第 1 の条件、または、一酸化二窒素雰囲気における、処理温度 650℃～850℃、処理時間 1 分～10 分の第 2 の条件、を例示できる。

【0087】また、酸化タンタル膜 55 の熱処理は、酸化雰囲気における 600℃以下の温度での第 1 処理が行

われた後、不活性ガス雰囲気における処理温度 650℃～850℃、処理時間 1 分～10 分の条件での第 2 処理により行うこともできる。あるいは前記の第 1 および第 2 処理を逆にした処理つまり不活性ガス雰囲気における処理温度 650℃～850℃、処理時間 1 分～10 分の条件での第 2 処理を行った後、酸化雰囲気における 600℃以下の温度での第 1 処理を行うこともできる。このように、酸化タンタル膜の結晶化は酸化処理と分離して行うことも可能である。酸化処理と結晶化処理とは何れ
10 を前後にしてもかまわない。第 1 処理は、オゾン雰囲気における、処理温度 300℃～500℃の第 3 条件、または、酸素雰囲気における処理温度 550℃～600℃の第 4 条件、の何れかの条件で行うことができる。

【0088】このような 2 段階の処理による結晶化は、下部電極 54 の酸化が問題となる場合に有効である。つまり、酸化タンタル膜 55 を不活性雰囲気で結晶化した後、下部電極が酸化されない程度に緩やかな条件で結晶化された酸化タンタル膜を酸下処理することができる。あるいは逆に、下部電極を酸化しない程度に緩やかな条件で酸化タンタル膜 55 を酸化処理し、その後、不活性
20 雰囲気中で熱処理を行うことができる。緩やかな条件での酸化処理の例としては、オゾン雰囲気における 400℃程度での処理を例示できる。

【0089】この酸化処理は、結晶化により発生する結晶化酸化タンタル膜 56 の酸素欠陥に酸素を補充する手段である。なお、酸素雰囲気を構成する酸化ガスの酸化性の強さにより、必要な熱処理温度が相違する。つまり、酸素よりは一酸化二窒素の方が処理温度は低く
30 でき、一酸化二窒素よりもオゾンの方が処理温度を低くできる。

【0090】このように酸化雰囲気における熱処理による結晶化、あるいは、結晶化熱処理の後の酸化処理または酸化処理を行った後の結晶化処理を 10nm 以下の膜厚の酸化タンタル膜 55 に対して行うため、結晶化後の結晶化酸化タンタル膜 56 のストレスの低減、モルフォロジの改善、密度の向上を図ることができる。これらの
40 詳細なデータについては後に説明する。

【0091】次に、図 22 に示すように、結晶化酸化タンタル膜 56 上に膜厚 10nm 以下の第 2 の酸化タンタル膜 57 を堆積する。酸化タンタル膜 57 の堆積は、酸化タンタル膜 55 の場合と同様にできる。さらに、酸化タンタル膜 57 に熱処理を施してこれを結晶化し、第 2 の結晶化酸化タンタル膜 58 を形成する。酸化タンタル膜 57 の結晶化の方法は、酸化タンタル膜 55 を結晶化して結晶化酸化タンタル膜 56 を形成する場合と同様である。このようにして結晶化酸化タンタル膜 56、58 からなる容量絶縁膜が形成される。

【0092】なお、第 2 の酸化タンタル膜 57 は、酸化タンタルの多結晶膜である結晶化酸化タンタル膜 56 上に堆積されるため、アズデポ状態においてすでに酸化タ
50

ンタル結晶が形成されている場合がある。このような場合、酸化タンタル膜 57 は、その一部に酸化タンタル結晶を含むアモルファス膜となり、酸化タンタル膜 57 を結晶化して結晶化酸化タンタル膜 58 を形成する工程において処理温度を低くすることができる。

【0093】このように、第 2 の酸化タンタル膜 57 を前記酸化タンタル膜 55 と同様に 10 nm 以下の膜厚で形成し、この酸化タンタル膜 57 を結晶化して結晶化酸化タンタル膜 58 を形成するため、結晶化酸化タンタル膜 56 と同様に結晶化酸化タンタル膜 58 のストレスの低減、モルフォロジの改善、密度の向上を図ることができる。

【0094】また、結晶化酸化タンタル膜 58 を結晶化酸化タンタル膜 56 上に重ねて形成するため、結晶化された酸化タンタル膜が 1 層である場合に比較して容量絶縁膜のリーク電流を低減できる。図 23 は、下部電極 54 とその表面に形成された結晶化酸化タンタル膜 56、58 の一部を拡大して示した断面図である。図 23 に示すように、結晶化酸化タンタル膜 56、58 は、各々酸化タンタル結晶の粒界 59 を有するが、各層の粒界 59 は他の層で分断されるため粒界 59 が下部電極 54 から結晶化酸化タンタル膜 58 上に形成される上部電極にまで達することがない。このため、リーク電流の主なパスである粒界 59 が結晶化酸化タンタル膜 56、58 の何れか一方により分断されて結果的に容量絶縁膜の絶縁性が保持される。

【0095】また、容量絶縁膜を構成する結晶化酸化タンタル膜 56、58 が各々 10 nm 以下の膜厚で形成され、そのため各結晶化酸化タンタル膜 56、58 のストレスが低減され、モルフォロジが改善され、密度が向上することは前記したとおりである。このため、これら膜特性が改善された結晶化酸化タンタル膜 56、58 の積層膜として構成される容量絶縁膜も、そのストレスが低減され、モルフォロジが改善され、密度が向上することとなる。

【0096】さらに、本実施の形態の容量絶縁膜は良質な結晶化酸化タンタル膜 56、58 の積層膜として構成されるため、容量絶縁膜の膜特性は、その膜厚方向に均一に良質な状態で形成されることとなる。仮に、容量絶縁膜を 1 層の結晶化酸化タンタル膜で構成した場合には、その膜厚方向に沿って膜質が変化し、たとえば、その最上層部分における膜厚が実質的に絶縁膜として機能できないほど劣化する場合がある。このような膜質の劣化は膜ストレスの増加あるいはモルフォロジの劣化による膜密度の低下という現象で把握できる場合がある。この場合、容量絶縁膜の最上領域は、実質的に良好な絶縁膜として機能できず、容量絶縁膜の耐電圧の低下あるいはリーク電流の増加を招く原因となる。しかしながら、本実施の形態では、容量絶縁膜を構成する結晶化酸化タンタル膜 56、58 を段階を分けて形成するため、その

膜質を良好に維持し、これらの積層膜で形成される容量絶縁膜においてはその膜厚方向の何れの領域においても優れた膜質を実現できる。このため、本実施の形態の容量絶縁膜では、耐電圧を向上し、また、リーク電流を低減することができる。

【0097】なお、結晶化酸化タンタル膜 58、58 を加えた膜厚つまり容量絶縁膜の膜厚は、10 nm ~ 40 nm の範囲にすることができる。本実施の形態では、下部電極 54 にルテニウム膜を採用するため、仮に結晶化酸化タンタル膜 58、58 の形成の際の酸化処理によりルテニウムが酸化されても、酸化ルテニウムは導電性を有するため、酸化ルテニウムによる容量絶縁膜の実質的な膜厚の増加はない。このため、結晶化酸化タンタル膜 58、58 の積層膜のみにより容量絶縁膜を構成でき、このため結晶化酸化タンタル膜 58、58 の積層膜の膜厚には設計の余裕を持たせることができ、40 nm の膜厚まで許容されることとなる。

【0098】また、前記した酸化タンタル膜 55、57 を結晶化する熱処理は、前記 $TiSi_2$ 層 42 の熱劣化を抑制する必要があるため、900℃以下で行うことが好ましいが、本実施の形態では何れの熱処理も 850℃以下であり、 $TiSi_2$ 層 42 の熱劣化を抑制できる。

【0099】また、酸化タンタル膜 55 の形成前に、下部電極 54 の表面に下部電極 54 を構成する金属たとえば、下部電極 54 がルテニウムからなる本実施の形態の場合は、酸化ルテニウム膜をあらかじめ形成することができる。下部電極 54 が窒化チタンで構成される場合には酸化チタン膜を形成できる。これら酸化ルテニウム膜は、スパッタ法、CVD 法、あるいは下部電極 54 の酸化処理により形成できる。このように酸化ルテニウム膜をあらかじめ下部電極 54 上に形成しておくことにより、酸化タンタル膜 55 の結晶化処理の際に、下部電極 54 があらかじめ酸化されている状態になっているため、それ以上の酸化が抑制され、結晶化された後の結晶化酸化タンタル膜 56、58 に不要なストレスが発生せず、リーク電流を低減できる。なお、酸化ルテニウムは導電性であるため、実質的な容量絶縁膜の膜厚の増加にはならず、情報蓄積用容量素子の蓄積電荷量の低減は生じない。

【0100】また、本実施の形態においては、前記したとおり、酸化ルテニウム膜からなる反応防止層 53 が形成されているため、本熱処理工程において酸素が酸化タンタル膜 55 および下部電極 54 を通過してプラグ 49 に達することはなく、また、下部電極 54 を構成するルテニウムとプラグ 49 を構成する窒素あるいはチタンとの反応を抑制できる。この結果、プラグ 49 と下部電極 54 との接続抵抗を低く維持しプラグ 49 と下部電極 54 との電気的な接続の信頼性を向上することができる。

【0101】次に、結晶化酸化タンタル膜 58 上に窒化チタン膜を堆積し、図 24 に示すように前記窒化チタン

膜上にフォトレジスト膜 60 を形成し、このフォトレジスト膜 60 をマスクとして前記窒化チタン膜および結晶化酸化タンタル膜 56、58 をエッチングして容量絶縁膜 61 および上部電極 62 を形成する。窒化チタン膜の堆積にはたとえば CVD 法を用いることができる。このようにしてルテニウムからなる下部電極 54、結晶化酸化タンタル膜 56、58 の積層膜からなる容量絶縁膜 61 および窒化チタンからなる上部電極 62 で構成される情報蓄積用容量素子 C を形成する。これにより、メモリセル選択用 MISFETs とこれに直列に接続された情報蓄積用容量素子 C とで構成される DRAM のメモリセルが完成する。

【0102】なお、上部電極 62 を構成する材料としては、窒化チタン膜に代えて、酸化ルテニウム膜、ルテニウム膜、あるいはタングステン膜とすることができる。

【0103】次に、フォトレジスト膜 60 を除去した後、図 25 に示すように、情報蓄積用容量素子 C の上部に膜厚 40 nm 程度のシリコン酸化膜 63 を堆積する。シリコン酸化膜 63 は、たとえばオゾン (O_3) とテトラエトキシシラン (TEOS) とをソースガスに用いたプラズマ CVD 法で堆積する。さらに SOG 膜 64 を塗布してメモリセルの形成された領域を平坦化すると同時に、周辺回路領域との段差を緩和する。本実施の形態の DRAM では、容量絶縁膜 61 に誘電率の高い多結晶化酸化タンタル膜を用いるため、下部電極 54 の高さを特に高く形成する必要はない。このため、SOG 膜 64 のみでメモリセル領域と周辺回路領域との段差を緩和することが可能である。この結果、前記段差を解消するための複雑な工程を採用することなく、プロセスを単純化することができる。

【0104】次に、図 26 に示すように、フォトレジスト膜をマスクにしたドライエッチングで周辺回路の第 1 層配線 38 の上部の SOG 膜 64、シリコン酸化膜 63、53、シリコン酸化膜 46、シリコン酸化膜 45、SOG 膜 44 およびシリコン窒化膜 40 を除去することにより、スルーホール 65 を形成する。また、同様に上部電極 62 の上部の SOG 膜 64、シリコン酸化膜 63 を除去することにより、スルーホール 66 を形成する。その後、スルーホール 65、66 の内部にプラグ 67 を形成し、続いて SOG 膜 64 の上部に第 2 層配線 68 を形成する。プラグ 67 は、SOG 膜 64 の上部にスパッタリング法で膜厚 100 nm 程度の TiN 膜を堆積し、さらにその上部に CVD 法で膜厚 500 nm 程度の W 膜を堆積した後、これらの膜をエッチバックしてスルーホール 65、66 の内部に残すことにより形成する。第 2 層配線 68 は、SOG 膜 64 の上部にスパッタリング法で膜厚 50 nm 程度の TiN 膜、膜厚 500 nm 程度の Al (アルミニウム) 膜、膜厚 50 nm 程度の Ti 膜を堆積した後、フォトレジスト膜をマスクにしたドライエッチングでこれらの膜をパターンニングして形成する。

【0105】その後、層間絶縁膜を介して第 3 層配線を形成し、その上部にシリコン酸化膜とシリコン窒化膜とで構成されたパッシベーション膜を堆積するが、その図示は省略する。以上の工程により、本実施の形態の DRAM が略完成する。

【0106】なお、第 3 層配線およびそれに接続するプラグは第 2 層配線の場合と同様に形成することができ、層間絶縁膜は、たとえば膜厚 300 nm 程度のシリコン酸化膜、膜厚 400 nm 程度の SOG 膜および膜厚 300 nm 程度のシリコン酸化膜で構成できる。シリコン酸化膜は、たとえばオゾン (O_3) とテトラエトキシシラン (TEOS) とをソースガスに用いたプラズマ CVD 法で堆積できる。

【0107】本実施の形態によれば、容量絶縁膜 61 を結晶化酸化タンタル膜 56、58 の 2 層積層膜とするため、上部電極 62 と下部電極 54 との間のリーク電流を低減し、DRAM のリフレッシュ特性を改善できる。また、結晶化酸化タンタル膜 56、58 は各々酸化タンタル膜 55、57 の堆積と結晶化とを各膜ごとにステップを分けて (本実施の形態の場合 2 ステップで) 行うため、容量絶縁膜 61 の膜質をその膜厚方向に均一に形成し、容量絶縁膜 61 の膜質を向上できる。さらに、容量絶縁膜 61 を構成する結晶化酸化タンタル膜 56、58 の膜厚を 10 nm 以下とするため、各結晶化酸化タンタル膜 56、58 のストレスを低減し、モルフォロジを改善し、また、その膜密度を向上できる。この結果、容量絶縁膜 61 の膜質を総合的に良好にして DRAM の性能および信頼性を向上できる。

【0108】上記効果を、図 27～29 に示したデータを用いて説明する。図 27 は、結晶化酸化タンタル膜の膜応力の測定結果を示すグラフである。横軸の 1～3 STEP は各々 1 ステップで結晶化酸化タンタル膜を形成した場合から 3 ステップつまり 3 回の酸化タンタル膜の堆積および結晶化を繰り返して 3 層積層膜を形成した場合について示している。なお、各酸化タンタル膜の膜厚はステップ数に関わらず 15 nm と一定である。また、1～3 ステップの各場合についてアニール処理を行わない場合、450℃および 800℃のアニール処理を行った場合について示している。このアニール処理は上部電極 62 の形成の際に熱工程が介在することを考慮して示したものである。本実施の形態は 2 ステップの場合に相当する。

【0109】この膜応力測定の結果から、ステップ数の増加、つまり、酸化タンタル膜の膜堆積と結晶化の工程の繰り返し数を増加するにしたがって、膜応力が低下することがわかる。すなわち、膜応力の増加は容量絶縁膜 61 への好ましくないストレスの増加を生じ、情報蓄積用容量素子 C のリーク電流を増加させると考えられることから、本実施の形態のように酸化タンタル膜 55 を結晶化して結晶化酸化タンタル膜 56 を形成しその後さら

に酸化タンタル膜 57 を堆積した後にこれを結晶化して結晶化酸化タンタル膜 58 を形成する 2 ステップ工程とする本実施の形態の容量絶縁膜 61 の方が、一度に 15 nm の膜厚の酸化タンタル膜を堆積してこれを結晶化する 1 ステップ工程の場合よりも優れた膜質であるといえる。また、ステップ数を増加するほど膜質は向上するといえる。

【0110】なお、膜応力の測定方法は、730 μm 厚さのシリコンウェハに 15 nm 膜厚の結晶化酸化タンタル膜を 1 ステップないし 3 ステップで形成し、その後、ウェハ裏面を研磨して 200 μm 厚にした後、短冊状にこれを切り出してその短冊の反り量から計算により求めた。

【0111】図 28 は、X 線反射率測定の実験結果を示すグラフであり、(b) は 1 ステップの場合を、

| | 酸化タンタル膜厚 (nm) | 酸化タンタル膜厚密度 (g/cm ³) | ラフネス (nm) |
|-------|------------------|------------------------------------|--------------|
| 1ステップ | 1.568 | 6.70436 | 0.400 |
| | 5.822 | 8.65277 | 0.899 |
| | 6.078 | 8.77475 | 0.227 |
| | (13.468) | (8.4809) | (1.576) |
| 2ステップ | 13.338 | 8.74630 | 1.089 |
| 3ステップ | 13.712 | 8.94992 | 1.025 |

【0114】上表に示すように、1 ステップ工程で形成された結晶化酸化タンタル膜は、1 ステップで形成されたにも関わらず単層の膜構造モデルではフィッティングできず、3 層構成の膜構造でなければフィッティングできない。これは、1 ステップ工程で形成された結晶化酸化タンタル膜は、その膜厚方向に不均一性を有し、X 線反射率測定で見える限りはあたかも 3 層構成の酸化タンタル膜のように見えるということを意味する。このような 3 層構成を仮定して解析により求められた結果（膜厚、密度およびラフネス）が表 1 の 1 ステップの行に各々示されている。なお、1 ステップ行の最下段の括弧内には膜厚およびラフネスについては各々の合計を、密度については平均を示している。この 1 ステップの結果から、膜密度はその最表層領域で低くなり、平均の膜密度も 2 ステップあるいは 3 ステップに比較して低くなっていることがわかる。また、ラフネスについては、1 ステップ形成された酸化タンタル膜の各構成層の値を加えたものが全層つまり 1 ステップ形成された結晶化酸化タンタル膜のラフネスと考えられ、これを 2 ステップあるいは 3 ステップに比較すれば 1.576 nm と約 1.5 倍に大きくなっている。

【0115】これに対し、2 ステップあるいは 3 ステップ工程で形成された結晶化酸化タンタル膜は、X 線反射率測定で見える限り単層構成の膜であるとみなされる。これは、2 ステップ以上のステップ形成された結晶化酸化タンタル膜は、その膜厚方向に膜質が均一であるといえ

(a) は 2 ステップの場合を示す。この X 線反射率測定は、X 線を全反射領域 ($\theta = 0 \sim 2$ 度) で入射させ、その反射 X 線を検出し解析することで多層膜の膜厚、密度、ラフネスを求めることができる測定手法である。反射率データの解析にはフーリエ変換と膜厚、密度、ラフネスをパラメータとした膜構造モデルへの最小二乗法を用いたフィッティングとを用いる。なお、本実施の形態の X 線反射率測定には (株) リガク製の X 線反射率測定装置 SLX-2000 を用いた。入射 X 線には $\text{CuK}\alpha 1$ を使い、試料の角度走査には分解能 0.001 度のゴニオメータを用いた。X 線の検出には NaI 検出器を用いた。

【0112】この X 線反射率測定の結果を表 1 に示す。

【0113】

【表 1】

る。また、膜密度は 1 ステップ工程に比較して高く、ラフネスは小さい。さらにステップ数を多くするに従い、膜密度が増加し、ラフネスは低下する傾向にある。膜密度の増加が膜の緻密性を示し、多結晶膜の緻密性がその粒界間の空隙の減少にあるとすれば、膜密度の増加は結晶粒の微小化を示しているといえる。このような膜密度の増加つまり膜の緻密化は、主に粒界をパスとするリーク電流を減少させる作用をする。また、ラフネスの低減は、局所的な電界の集中を防止し、結晶化酸化タンタル膜の耐電圧を向上する作用を有する。

【0116】以上の結果から、2 ステップあるいは 3 ステップ工程で形成された結晶化酸化タンタル膜は、1 ステップ工程で形成された結晶化酸化タンタル膜よりも膜密度およびラフネスの面で膜質が優れており、しかも膜厚方向の不均一性が存在せず、優れた耐電圧と耐リーク特性を有する絶縁膜であるといえる。

【0117】図 29 は、1 ステップ、2 ステップあるいは 3 ステップ工程で形成された結晶化酸化タンタル膜のリーク電流特性を示すグラフである。リーク電流はステップ数を増すごとに減少しており、多層成膜された結晶化酸化タンタル膜がリーク電流を減少させていることがわかる。DRAM に適用する場合の動作電圧である 1.7 V において各リーク電流値は、1 ステップ工程の場合に約 0.9 μA 、2 ステップ工程の場合に約 0.11 μA 、3 ステップ工程の場合に約 0.06 μA であり、2 ステップあるいは 3 ステップ工程の場合には 1 ステップエ

程の場合よりも約 1 桁のリーク電流の低減を図れる。このようなリーク電流低減の効果は DRAM におけるリフレッシュ時間を 10 msec から 200 msec に延長できる効果に相当する。

【0118】なお、本実施の形態において容量絶縁膜 61 は、結晶化酸化タンタル膜 56、58 の 2 層積層膜としているが、同様の工程によりさらに酸化タンタル膜の堆積およびその結晶化を行って、3 層以上の積層膜としてもよい。

【0119】（実施の形態 2）図 30～図 35 は、実施の形態 2 の DRAM の製造工程の一例を工程順に示した断面図である。

【0120】本実施の形態の DRAM は、その回路構成および平面構成において図 1 および図 2 に示したものと同様である。また、情報蓄積用容量素子 C の構造において相違するところを除き、実施の形態 1 の断面とも同様である。したがって、以下の説明ではその相違する部分についてのみ説明し、同様な部分の説明は省略する。

【0121】本実施の形態 2 の DRAM の製造方法は、実施の形態 1 における図 18 までの工程と同様である。その後、図 30 に示すように、絶縁膜 69 を形成し、プラグ 49 が露出するように絶縁膜 69 に溝 70 を形成する。絶縁膜 69 は、たとえばオゾン (O_3) とテトラエトキシシラン (TEOS) とをソースガスに用いたプラズマ CVD 法で形成する。また、溝 70 はフォトリソスト膜をマスクとしたエッチングにより加工する。

【0122】次に、図 31 に示すように、反応防止層 71 およびルテニウム膜 72 を順次堆積する。反応防止層 71 およびルテニウム膜 72 は実施の形態 1 と同様に堆積できる。

【0123】次に、図 32 に示すように、半導体基板 1 の全面に絶縁膜 73 を堆積する。絶縁膜 73 は、溝 70 への埋め込み性および絶縁膜 69 とのエッチング選択性を考慮して SOG 膜とすることが好ましい。

【0124】次に、図 33 に示すように、絶縁膜 73 および溝 70 の領域を除く絶縁膜 69 上の反応防止層 71 およびルテニウム膜 72 を除去する。これらの除去にはエッチバック法あるいは CMP 法を用いることができる。溝 70 の内部に残存する絶縁膜 73 はウェットエッチングにより除去することが可能である。このようにして反応防止層 71 およびルテニウム膜 72 からなる下部電極 74 が形成される。

【0125】次に、図 34 に示すように、半導体基板 1 の全面に酸化タンタル膜 75 を堆積する。酸化タンタル膜 75 の堆積は、実施の形態 1 の酸化タンタル膜 55 と同様に行う。

【0126】さらに、実施の形態 1 の結晶化酸化タンタル膜 56 の場合と同様に、酸化タンタル膜 75 に熱処理を施してこれを結晶化し、多結晶酸化タンタル膜 76 を形成する。

【0127】次に、図 35 に示すように、多結晶酸化タンタル膜 76 上に第 2 の酸化タンタル膜 77 を堆積する。酸化タンタル膜 75 の堆積は、実施の形態 1 の酸化タンタル膜 57 と同様に行う。

【0128】さらに、実施の形態 1 の結晶化酸化タンタル膜 58 の場合と同様に、酸化タンタル膜 77 に熱処理を施してこれを結晶化し、多結晶酸化タンタル膜 78 を形成する。

【0129】この後の工程は、実施の形態 1 とほぼ同様である。

【0130】本実施の形態 2 の DRAM によれば、実施の形態 1 で説明した効果に加えて、下部電極 74 を上方に開口を有する円筒形状とすることができ、その表面積を増加して情報蓄積用容量素子 C の蓄積電荷量を増加できる。また、周辺回路領域に絶縁膜 69 が形成されているため、メモリセル領域と周辺回路領域との段差の発生を防止し、第 2 層配線の断線、あるいはフォトリソグラフィにおける加工マージンを向上できる。

【0131】なお、図 36 に示すように、ルテニウム膜からなる下部電極 74 の表面に酸化処理を施し、酸化ルテニウム膜 79 を形成してもよい。この場合、酸化ルテニウム膜 79 の表面には凹凸が形成され、下部電極の表面積を増加して蓄積電荷量を増加できる。なお、下部電極 74 の表面の酸化処理は、たとえば窒素ガスで希釈された一酸化二窒素 (N_2O) ガス雰囲気中での 700℃、10 min の熱処理を例示できる。

【0132】（実施の形態 3）図 37～図 44 は、実施の形態 3 の DRAM の製造方法の一例を工程順に示した断面図である。図 37～図 44 では、情報蓄積用容量素子の領域についてのみ示しているが、その他の部材は実施の形態 1 と同様である。

【0133】本実施の形態 3 の DRAM は、情報蓄積用容量素子 C の領域を除き、実施の形態 1 と同様である。以下情報蓄積用容量素子 C の部分についてのみ説明する。本実施の形態 3 の DRAM の製造方法は、実施の形態 1 における図 17 までの工程と同様である。

【0134】実施の形態 1 の図 17 におけるスルーホール 48 を形成した後、フォトリソスト膜 47 を除去し、多結晶シリコン膜からなるプラグ 80 を形成する。プラグ 80 は、スルーホール 48 を埋め込む多結晶シリコン膜を半導体基板 1 の全面に堆積した後、これをエッチバックまたは CMP 法による研磨を用いて除去することにより形成する。なお、プラグ 80 の形成に先立ち、シリコン酸化膜 46 上にシリコン窒化膜 81 を形成することが好ましい。このシリコン窒化膜 81 は、下部電極を露出する際のウェットエッチングのエッチングストップに用いることができる。

【0135】次に、実施の形態 2 における図 30 に示す工程と同様に、絶縁膜 69 を堆積し、これに溝 70 を形成する。さらに、実施の形態 2 における図 31 の反応防

止層 71 およびルテニウム膜 72 に代えて非晶質シリコン膜を堆積し、実施の形態 2 の図 32 および図 33 の工程と同様に溝 70 の内部に上方に開口を有する筒型の非晶質シリコン膜 82 を形成する。この後、絶縁膜 69 をウェットエッチングで除去し、非晶質シリコン膜 82 を露出する (図 37)。このエッチングの際にシリコン窒化膜 81 をエッチングストップとして用いる。

【0136】次に、図 38 に示すように、非晶質シリコン膜 82 に核生成処理を行い、結晶化させて球状のシリコン結晶 83 を形成する。その後、非晶質シリコン膜 82 に熱処理を施して非晶質シリコン膜 82 を多結晶シリコン膜 84 に変換する。これにより、球状のシリコン結晶 83 と多結晶シリコン膜 84 とからなる下部電極 85 を形成する。シリコン結晶 83 の径は、約 50 nm とする。

【0137】なお、球状のシリコン結晶 83 の形成において、自然酸化膜や付着有機物等の存在は、シリコン結晶 83 の核形成の阻害要因となるため、核生成処理前の非晶質シリコン膜 82 の表面を清浄にすることが好ましい。清浄化の方法としてたとえば湿式洗浄を施した後、UV (紫外線) およびオゾン (O₃) クリーニング、HF ガスエッチングを例示することができる。また、前記清浄化工程と球状のシリコン結晶 83 の形成工程とが一体化された装置で処理するのが望ましい。

【0138】次に、図 39 に示すように、たとえばアンモニア雰囲気中で 700℃～900℃、1～10 分間、好ましくは 800℃程度の温度で 3 分間の熱処理を施して、球状の下部電極 85 の表面にシリコン窒化膜 86 を形成する。シリコン窒化膜 86 の膜厚は 2 nm とする。このようにシリコン窒化膜 86 を形成することにより、後に説明する酸化タンタル膜の酸化性雰囲気での熱処理においても下部電極 85 であるシリコンが酸化されず、下部電極 85 と酸化タンタル膜との間にシリコン酸化膜が形成されない。仮に下部電極 85 と酸化タンタル膜との間にシリコン酸化膜が形成された場合には、シリコン酸化膜は誘電率の低い絶縁膜であるため容量絶縁膜の実効的な膜厚を増加し情報蓄積用容量素子 C の容量値を大きく低下させて好ましくない。しかし、本実施の形態では比較的誘電率が高く、また薄い膜厚であっても良好な耐酸化性を発揮するシリコン窒化膜 86 を形成するため、実質的な容量絶縁膜の膜厚の増加を必要最小限に抑え、情報蓄積用容量素子 C の容量値の低下も容認できる範囲に抑えることが可能である。

【0139】次に、図 40 に示すように、実施の形態 1 の酸化タンタル膜 55 と同様に酸化タンタル膜 87 を形成する。このときシリコン窒化膜 86 が形成されているため、シリコンからなる下部電極 85 の表面は酸化されない。

【0140】次に、図 41 に示すように、実施の形態 1 の結晶化酸化タンタル膜 56 の場合と同様に熱処理を施

し、酸化タンタル膜 87 を結晶化して結晶化酸化タンタル膜 88 を形成する。このときにもシリコン窒化膜 86 が形成されているため、シリコンからなる下部電極 85 の表面は酸化されない。

【0141】次に、図 42 に示すように、実施の形態 1 の酸化タンタル膜 57 と同様に酸化タンタル膜 89 を、結晶化酸化タンタル膜 88 上に形成する。この酸化タンタル膜 89 は、結晶化酸化タンタル膜 88 上に形成されるため、一種のエピタキシャル成長が発生している場合もあり、この場合次の熱処理温度を低下することができる。

【0142】次に、図 43 に示すように、実施の形態 1 の結晶化酸化タンタル膜 58 の場合と同様に熱処理を施し、酸化タンタル膜 89 を結晶化して結晶化酸化タンタル膜 90 を形成する。このようにしてシリコン窒化膜 86、結晶化酸化タンタル膜 88、90 からなる容量絶縁膜 91 が形成される。結晶化酸化タンタル膜 88、90 からなる 2 層積層膜の膜厚は 10～20 nm とする。

【0143】なお、上記の熱処理によりシリコン窒化膜 86 が酸化されて結果的にシリコン酸窒化膜となる場合もある。

【0144】次に、図 44 に示すように、窒化チタン膜を堆積し、上部電極 92 を形成する。この後の工程は実施の形態 1 と同様である。なお、窒化チタン膜に代えて多結晶シリコン膜、タングステン膜等を用いることができることはいうまでもない。

【0145】本実施の形態によれば、下部電極 85 の表面積をシリコン結晶 83 により増加して情報蓄積用容量素子 C の蓄積電荷量を増加できる。また、実施の形態 1 で説明した結晶化酸化タンタル膜を積層化する効果が本実施の形態でも得られることは勿論である。特に、下部電極 85 にシリコン結晶 83 による凹凸が形成されている場合には、リーク電流の増加が懸念されるが、本実施の形態では結晶化酸化タンタル膜が積層化された積層膜を容量絶縁膜 91 に有するため、リーク電流を効果的に抑制し、リフレッシュ特性等を向上して DRAM の高性能化を図ることができる。

【0146】(実施の形態 4) 図 45～図 48 は、実施の形態 4 の半導体装置の製造方法の一例を工程順に示した断面図である。

【0147】まず、図 45 に示すように、実施の形態 1 の半導体基板 1 と同様な半導体基板 101 を用意し、この半導体基板 101 の主面に素子分離領域の溝 102 およびその溝 102 内にシリコン酸化膜 103 を形成する。溝 102 およびシリコン酸化膜 103 の形成は実施の形態 1 の溝 5 およびシリコン酸化膜 7 と同様に行う。また、素子分離領域のシリコン酸化膜 7 で囲まれた活性領域にシリコン窒化膜 104 を形成する。シリコン窒化膜 104 の形成は、実施の形態 3 のシリコン窒化膜 86 と同様に行う。

【0148】次に、図46に示すように、半導体基板101の全面に第1の酸化タンタル膜と堆積し、これを結晶化して結晶化酸化タンタル膜105を形成する。さらに結晶化酸化タンタル膜105上に酸化タンタル膜を堆積し、これを結晶化して結晶化酸化タンタル膜106を形成する。酸化タンタル膜の堆積およびその結晶化は、実施の形態3の酸化タンタル膜87、89の堆積およびそれを結晶化して結晶化酸化タンタル膜88、90を形成する工程と同様である。シリコン窒化膜104および結晶化酸化タンタル膜105、106は後に説明するようにMISFETQのゲート絶縁膜となるものである。

【0149】このように結晶化酸化タンタル膜105、106によりゲート絶縁膜を構成するため、ゲート絶縁膜の膜厚を厚くしてトンネル電流の発生を抑制することができる。また、結晶化酸化タンタル膜105、106を積層して構成するため、結晶化酸化タンタル膜の結晶粒界を分断し、リーク電流の発生を防止することができる。

【0150】次に、図47に示すように、結晶化酸化タンタル膜105上に、多結晶シリコン膜を堆積し、フォトレジスト膜をマスクとしてこの多結晶シリコン膜、結晶化酸化タンタル膜105、106をエッチングして除去する。これにより、多結晶シリコン膜からなるゲート電極107および結晶化酸化タンタル膜105、106の積層膜を含むゲート絶縁膜108を形成する。

【0151】次に、フォトレジスト膜およびゲート電極107をマスクとして不純物を低濃度にイオン注入し、半導体領域109を形成する。また、全面にシリコン窒化膜またはシリコン酸化膜を堆積してこれを異方性エッチングすることによりゲート電極107の側壁にサイドウォールスペーサ110を形成する。さらに、フォトレジスト膜、ゲート電極107およびサイドウォールスペーサ110をマスクとして不純物を高濃度にイオン注入し、半導体領域111を形成する。半導体領域109、110はいわゆるLDD構造のソース・ドレイン領域を構成する。

【0152】このようにしてMISFETQが形成される。なお、この後、層間絶縁膜を形成し、半導体領域111に接する第1層配線を形成することができる。また、さらに上層の配線を層間絶縁膜を介して形成できる。これらの説明は実施の形態1の第1層配線等と同様であるため説明を省略する。

【0153】このような半導体装置によれば、ゲート絶縁膜108を結晶化酸化タンタル膜で構成するためその膜厚を厚くできる。すなわち、半導体装置の高集積化の結果、シリコン酸化膜で実現しようとすればトンネル電流の増加が無視できないようなゲート絶縁膜の膜厚要求をトンネル電流を生じることなく結晶化酸化タンタル膜のゲート絶縁膜108で実現できる。

【0154】また、ゲート絶縁膜108が結晶化酸化タ

ンタル膜105、106の2層積層膜で構成されるため、酸化タンタル結晶の粒界をバスとするリーク電流を抑制できる。これによりMISFETのゲート電極107と半導体基板101との間のリークを低減し、半導体装置の性能を向上できる。

【0155】また、結晶化酸化タンタル膜105と半導体基板101との間にシリコン窒化膜104が形成されているため、結晶化酸化タンタル膜105、106の形成の際の半導体基板101の過剰酸化を防止できる。これによりMISFETの性能を向上できる。なお、本実施例では、ゲート電極107に多結晶シリコンを用いたが、これに限るものではなく、窒化チタン、タングステン、窒化タングステンなどのメタル電極を用いることができる。

【0156】（実施の形態5）図49は、実施の形態5の半導体装置の製造装置の一例を示した概念図である。

【0157】本実施の形態の製造装置は、酸化タンタル膜を形成する第1反応室120と、酸化タンタル膜に熱処理を行う第2反応室121とを有し、第1反応室120と第2反応室121とは真空搬送室122にゲートバルブを介して接続されている。なおゲートバルブは図示を省略している。

【0158】第1反応室120および第2反応室121には各々基板加熱機構とガス供給機構とを備える。第1反応室120のガス供給機構は酸化タンタル膜をCVD法により形成するための原料ガスを供給する手段を有する。また、第2反応室121のガス供給機構には酸素、一酸化二窒素あるいはオゾン等の酸化性ガスまたは不活性ガスを供給する手段を有する。

【0159】真空搬送室122には、図示しないゲートバルブを介してロードロック室123が接続され、ロードロック室123には、カセット室124、125が接続される。カセット室124、125には各々ウェハカセットに保持されたウェハ126、127がセットされる。

【0160】ウェハ126は、カセット室124からロードロック室123を介して真空搬送室122に導入される。この際、ロードロック室123では真空排気が行われ、真空搬送室122には大気は混入しない。このため真空搬送室122、第1反応室120および第2反応室121の清浄度が高く維持される。

【0161】真空搬送室122に導入されたウェハ126は、第1反応室120に搬入されて実施の形態1〜4で説明したように酸化タンタル膜が堆積される。この後、ウェハ126は第1反応室120から真空搬送室122を介して第2反応室121に搬入される。第2反応室121においては、ウェハ126に実施の形態1〜4で説明した熱処理が施され、酸化タンタル膜が結晶化される。

【0162】さらに、第1反応室における酸化タンタル

膜の堆積と第2反応室における結晶化が繰り返され、2層積層された結晶化酸化タンタル膜が形成される。この間、ウェハ126は、高真空中に保持された真空搬送室122を介して移動するため、酸化タンタル膜等の界面は清浄に保たれ、良質な酸化タンタル膜の堆積および良質な結晶膜の形成がなされる。すなわち、一般的には大気中の不純物、塵等の異物は酸化タンタル膜の異常結晶化等を促進し、好ましくない欠陥を生ずる恐れがあるが、本実施の形態の製造装置を用いれば、高い洗浄度が実現できる高真空環境下での一貫した膜形成および結晶化とその繰り返しによる工程を実現できる。これにより良質な結晶化酸化タンタル膜の積層膜を形成することが可能となり、これを用いたDRAMの性能および信頼性を向上し、また、これをゲート絶縁膜の用いたMISFETの性能および信頼性を向上することができる。

【0163】結晶化酸化タンタル膜が形成されたウェハ126は、真空搬送室122からロードロック室123を介してカセット室125に搬出され、ウェハ127としてウェハカセットに保持される。

【0164】なお、真空搬送室122にはさらに第3反応室を備え、この第3反応室において実施の形態3または4で説明したシリコン窒化膜を形成するための窒化処理を行ってもよい。この窒化処理は、第1反応室120での処理に先だって行われる。また、真空搬送室122にはさらに第4反応室を備え、この第4反応室において実施の形態1～3で説明した上部電極を構成する窒化チタンその他の導電膜の堆積を行ってもよい。この導電膜の堆積は、第2反応室121の処理の後に行われる。

【0165】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0166】実施の形態3において説明したMISFETは、DRAMのメモリセル選択用MISFETにも用いることができる。また、周辺回路のMISFETに用いることもできる。この場合、周辺回路のMISFETのゲート絶縁膜の形成を、メモリセル領域の容量絶縁膜の形成と同一の工程で行うことができる。

【0167】また、実施の形態3のMISFETはあらゆる半導体装置、たとえばSRAM、電氣的書き換え可能な一括消去型の読み出し専用メモリ、あるいは汎用的な論理回路等に適用できる。

【0168】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0169】(1) 耐熱性を有するとともに、リーク電流が少なく、絶縁耐圧の高い容量絶縁膜を実現できる。

【0170】(2) 容量絶縁膜のストレス、表面モルフ

オロジ、密度等の膜特性を改善できる。

【0171】(3) DRAMのリフレッシュ特性等の信頼性および性能を向上できる。

【0172】(4) 実効的なゲート絶縁膜の膜厚が縮小され、かつ、トンネル電流の発生を抑制したゲート絶縁膜を提供できる。

【図面の簡単な説明】

【図1】実施の形態1のDRAMを形成した半導体チップの全体平面図である。

10 【図2】実施の形態1のDRAMの等価回路図である。

【図3】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図4】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図5】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図6】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

20 【図7】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図8】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図9】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図10】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図11】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

30 【図12】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図13】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図14】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図15】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図16】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

40 【図17】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図18】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図19】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図20】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図21】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

50 【図22】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図 23】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 24】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 25】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 26】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 27】結晶化酸化タンタル膜の膜応力の測定結果を示すグラフである。

【図 28】X 線反射率測定の反射率データを示すグラフであり、(a) は 1 ステップの場合を、(b) は 2 ステップの場合を示す。

【図 29】1 ステップ、2 ステップあるいは 3 ステップ工程で形成された結晶化酸化タンタル膜のリーク電流特性を示すグラフである。

【図 30】実施の形態 2 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 31】実施の形態 2 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 32】実施の形態 2 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 33】実施の形態 2 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 34】実施の形態 2 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 35】実施の形態 2 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 36】実施の形態 2 の DRAM の製造工程の他の例を工程順に示した断面図である。

【図 37】実施の形態 3 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 38】実施の形態 3 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 39】実施の形態 3 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 40】実施の形態 3 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 41】実施の形態 3 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 42】実施の形態 3 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 43】実施の形態 3 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 44】実施の形態 3 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 45】実施の形態 4 の半導体装置の製造方法の一例を工程順に示した断面図である。

【図 46】実施の形態 4 の半導体装置の製造方法の一例を工程順に示した断面図である。

【図 47】実施の形態 4 の半導体装置の製造方法の一例を工程順に示した断面図である。

【図 48】実施の形態 4 の半導体装置の製造方法の一例を工程順に示した断面図である。

【図 49】実施の形態 5 の半導体装置の製造装置の一例を示した概念図である。

【符号の説明】

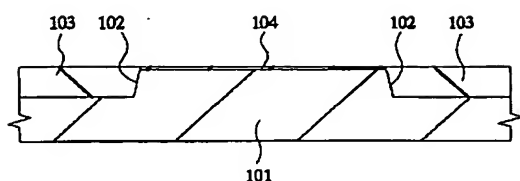
- 1 半導体基板
- 1 A 半導体チップ
- 10 5 溝 (素子分離溝)
- 6 シリコン酸化膜
- 7 シリコン酸化膜
- 10 n 型半導体領域
- 11 p 型ウエル
- 12 n 型ウエル
- 13 ゲート酸化膜
- 14 ゲート電極
- 14 A ゲート電極
- 14 B ゲート電極
- 20 14 C ゲート電極
- 15 シリコン窒化膜
- 16 フォトレジスト膜
- 17 p⁻ 型半導体領域
- 18 n⁻ 型半導体領域
- 19 n 型半導体領域
- 20 シリコン窒化膜
- 20 a サイドウォールスペーサ
- 21 フォトレジスト膜
- 22 p⁺ 型半導体領域
- 30 23 n⁺ 型半導体領域
- 24 SOG 膜
- 25 シリコン酸化膜
- 26 シリコン酸化膜
- 27 フォトレジスト膜
- 28 コンタクトホール
- 29 コンタクトホール
- 30 プラグ
- 31 シリコン酸化膜
- 32 フォトレジスト膜
- 40 33 フォトレジスト膜
- 34 コンタクトホール
- 36 コンタクトホール
- 38 第 1 層配線
- 40 シリコン窒化膜
- 41 フォトレジスト膜
- 42 TiSi₂ 層
- 43 サイドウォールスペーサ
- 44 SOG 膜
- 45 シリコン酸化膜
- 50 46 シリコン酸化膜

47 フォトリソグスト膜
 48 スルーホール
 49 プラグ
 50 反応防止層
 51 ルテニウム膜
 52 フォトリソグスト膜
 53 反応防止層
 54 下部電極
 55 酸化タンタル膜
 56 結晶化酸化タンタル膜
 57 酸化タンタル膜
 58 結晶化酸化タンタル膜
 59 粒界
 60 フォトリソグスト膜
 61 容量絶縁膜
 62 上部電極
 63 シリコン酸化膜
 64 SOG膜
 65 スルーホール
 66 スルーホール
 67 プラグ
 68 第2層配線
 69 絶縁膜
 70 溝
 71 反応防止層
 72 ルテニウム膜
 73 絶縁膜
 74 下部電極
 75 酸化タンタル膜
 76 多結晶酸化タンタル膜
 77 酸化タンタル膜
 78 多結晶酸化タンタル膜
 79 酸化ルテニウム膜
 80 プラグ
 81 シリコン窒化膜
 82 非晶質シリコン膜
 83 シリコン結晶
 84 多結晶シリコン膜

85 下部電極
 86 シリコン窒化膜
 87 酸化タンタル膜
 88 結晶化酸化タンタル膜
 89 酸化タンタル膜
 90 結晶化酸化タンタル膜
 91 容量絶縁膜
 92 上部電極
 101 半導体基板
 102 溝
 103 シリコン酸化膜
 104 シリコン窒化膜
 105 結晶化酸化タンタル膜
 106 結晶化酸化タンタル膜
 107 ゲート電極
 108 ゲート絶縁膜
 109 半導体領域
 110 サイドウォールスペーサ
 111 半導体領域
 20 120 第1反応室
 121 第2反応室
 122 真空搬送室
 123 ロードロック室
 124 カセット室
 125 カセット室
 126 ウェハ
 127 ウェハ
 BL ビット線
 C 情報蓄積用容量素子
 30 MARY メモリアレイ
 Q MISFET
 Qn nチャネル型MISFET
 Qp pチャネル型MISFET
 Qs メモリセル選択用MISFET
 SA センスアンプ
 WD ワードドライバ
 WL ワード線

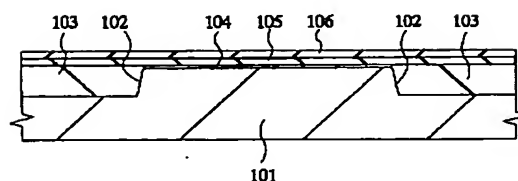
【図45】

図 45



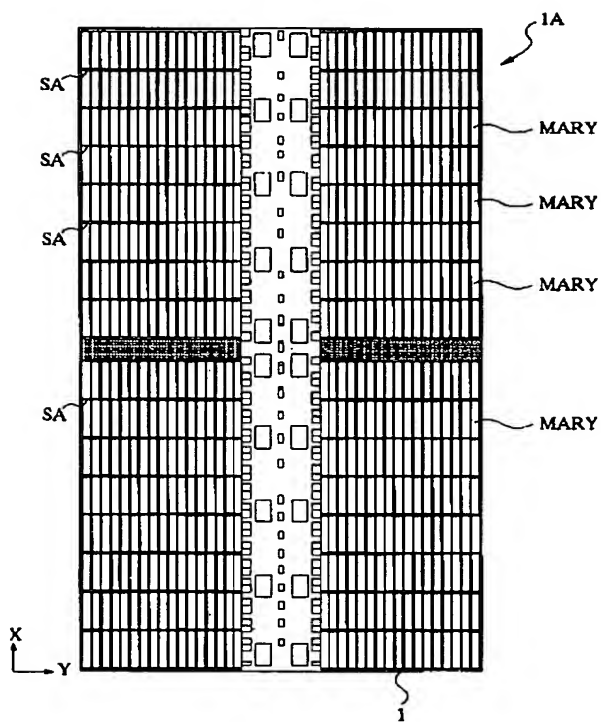
【図46】

図 46



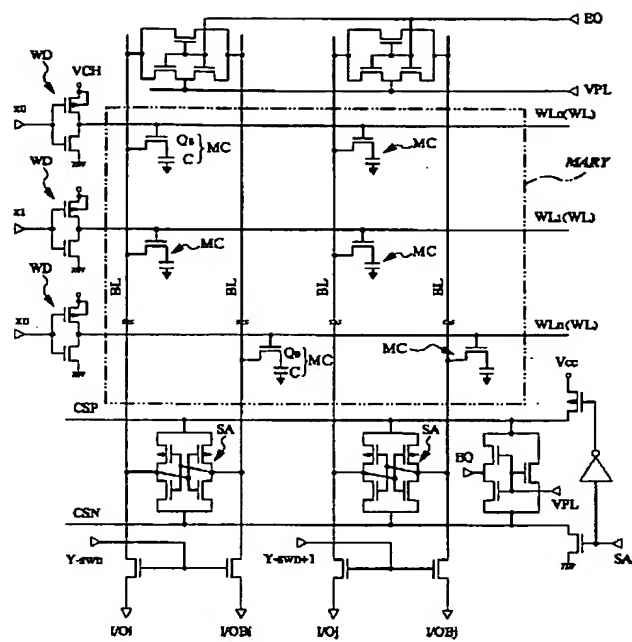
【図 1】

図 1



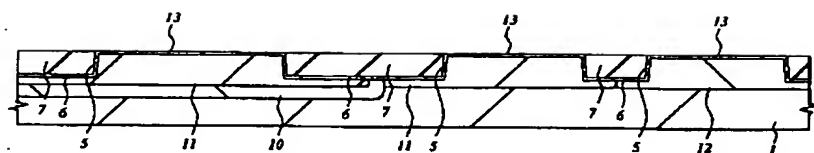
【図 2】

図 2



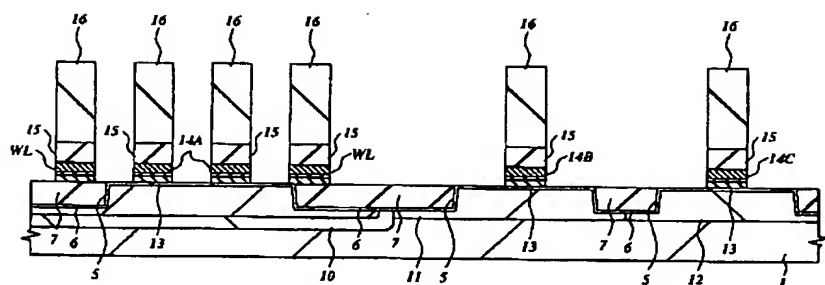
【図 3】

図 3



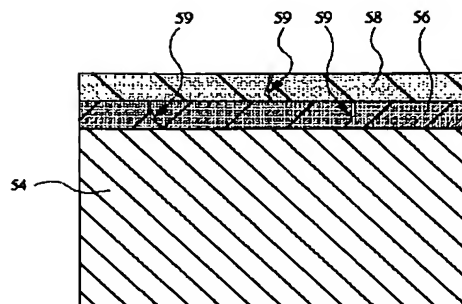
【図 4】

図 4



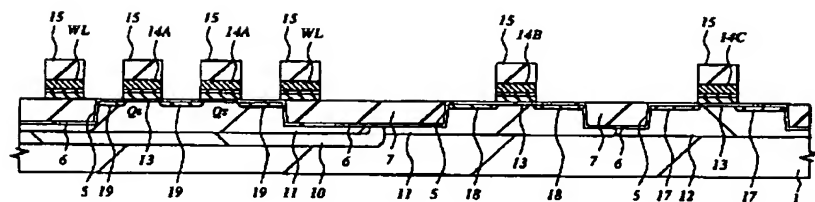
【図 23】

図 23



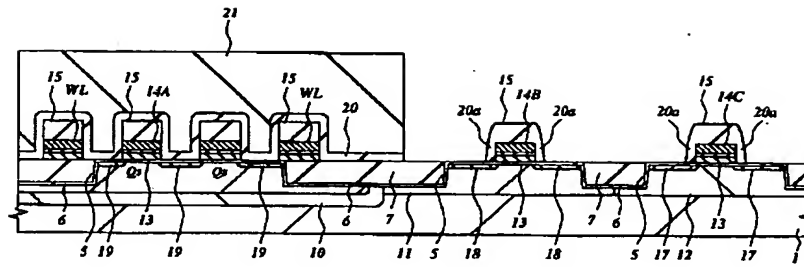
【図 5】

図 5



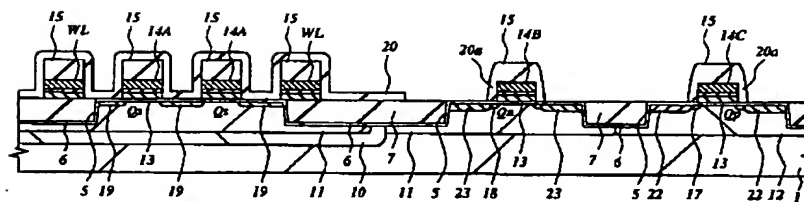
【図 6】

図 6



【図 7】

図 7



8

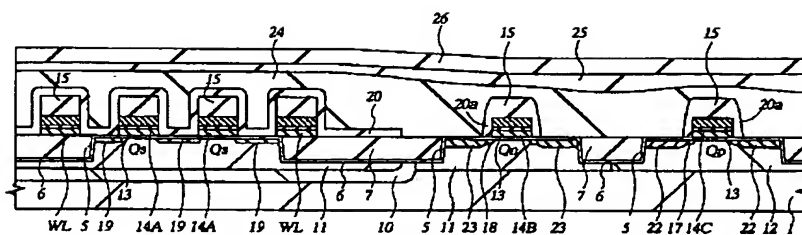
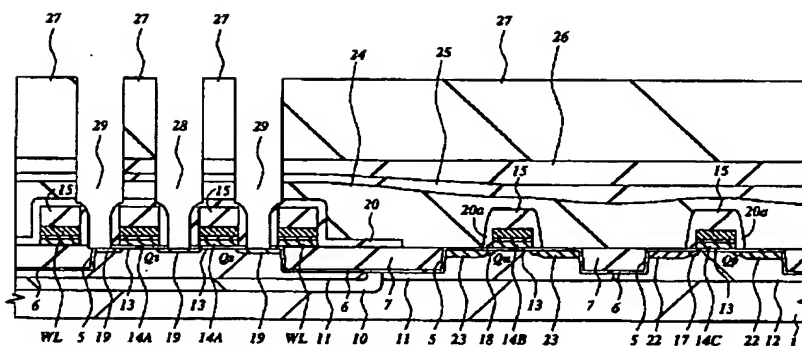
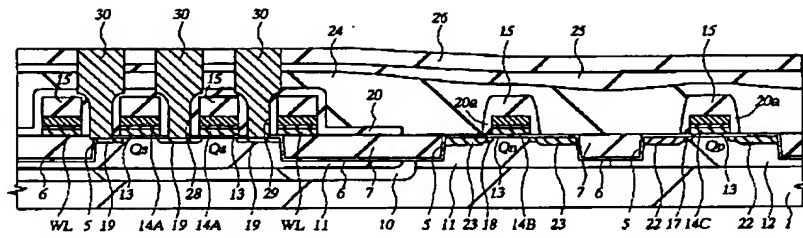


图 9



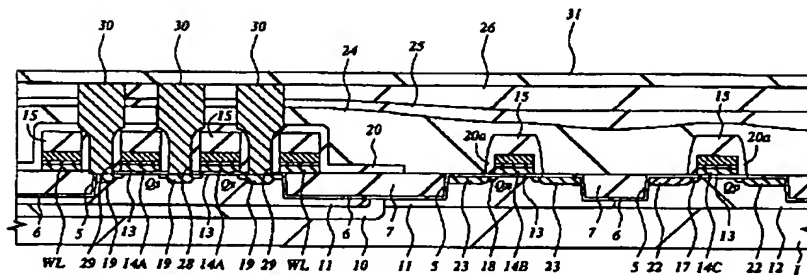
【図 10】

図 10



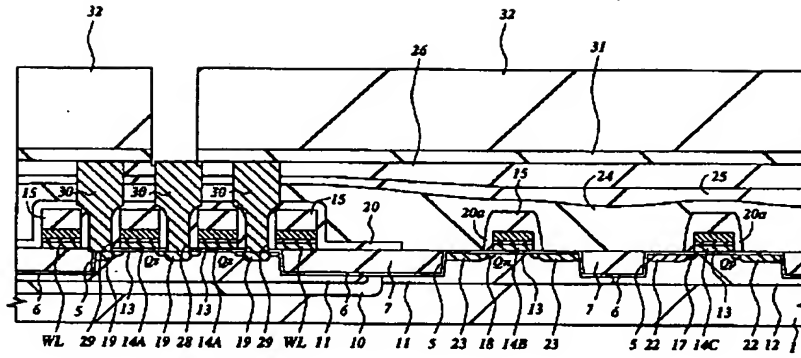
【図 11】

図 11



【図 12】

図 12



【図 13】

図 13

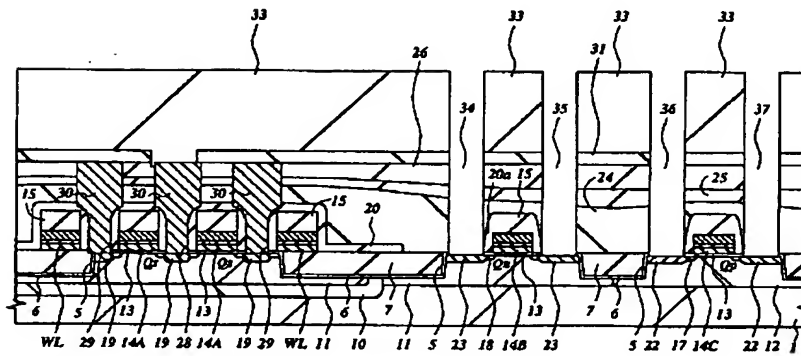
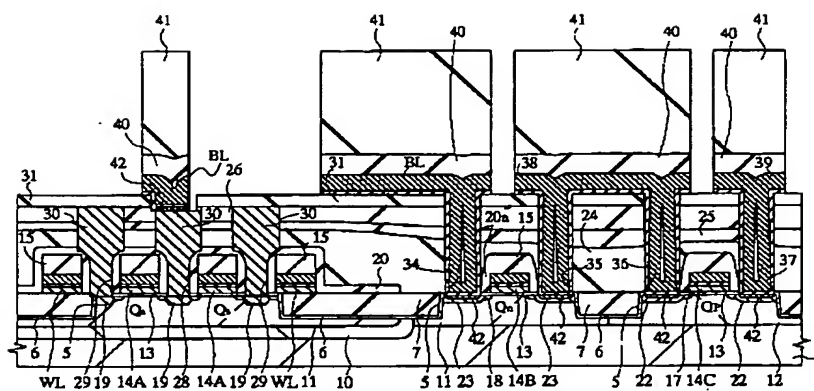
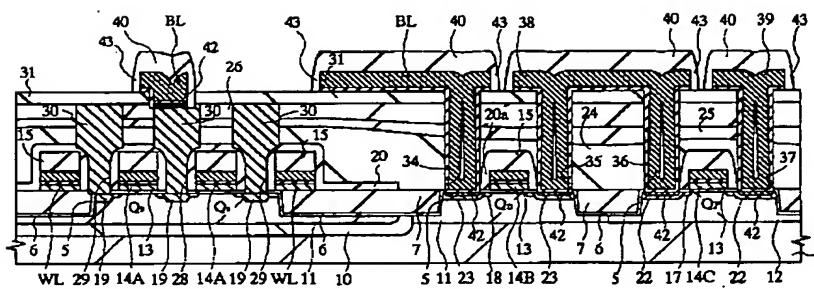


Figure 14 shows a square containing a circle. The circle is divided into four equal quadrants by a horizontal line and a vertical line. The top-left quadrant is shaded with diagonal lines. The top-right quadrant is labeled 'a', the bottom-left quadrant is labeled 'b', and the bottom-right quadrant is labeled 'c'.

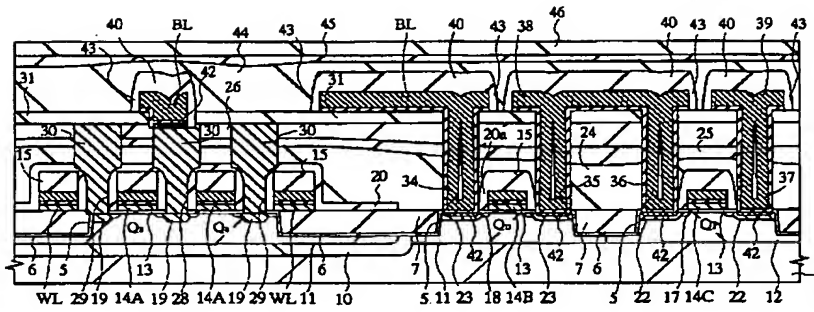


15

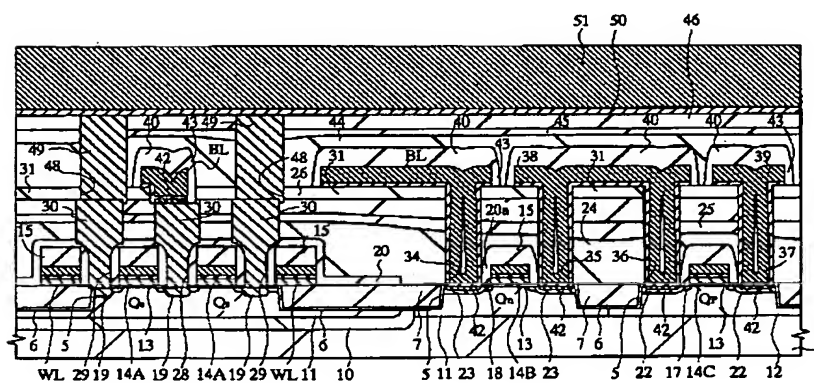
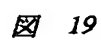


【图 16】

16

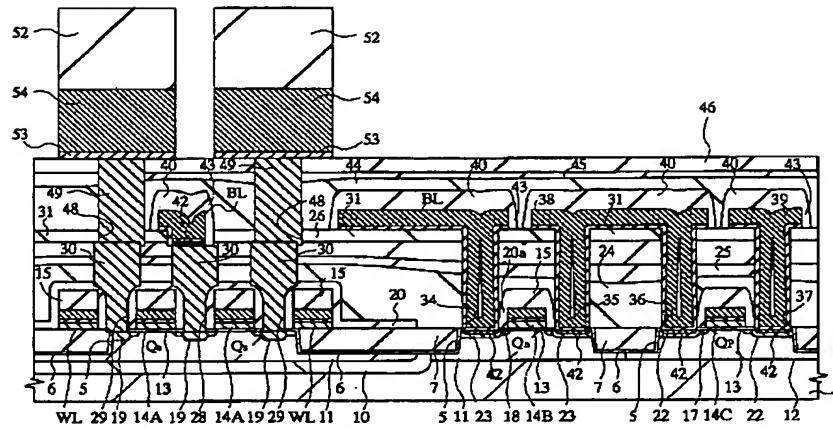


18



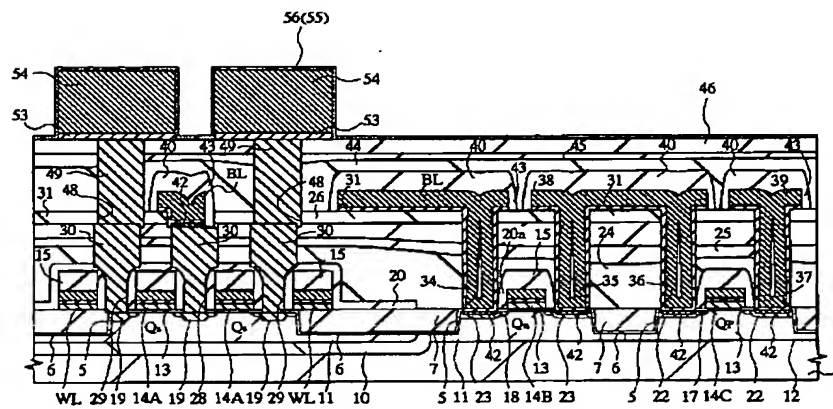
【図 20】

図 20

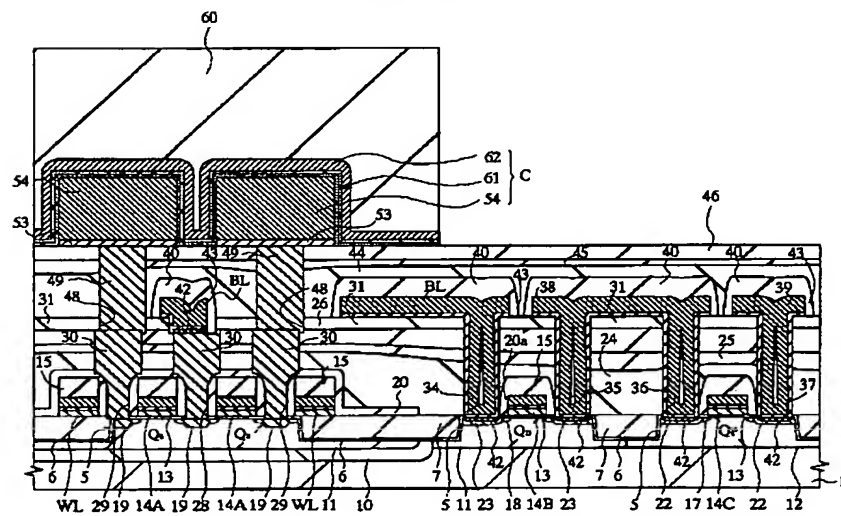
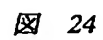


【図 21】

図 21

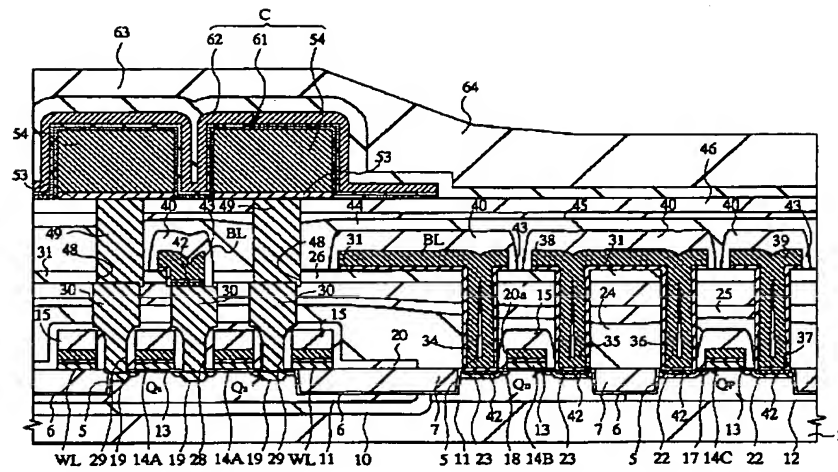


22



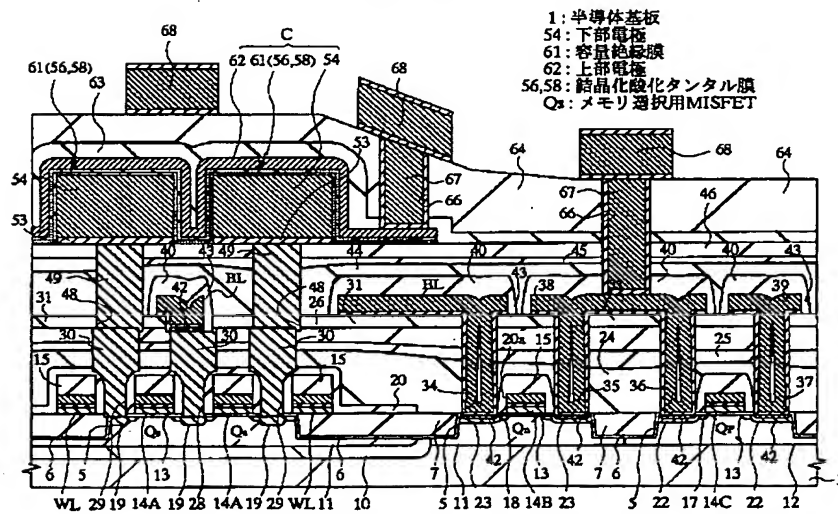
【図25】

図 25



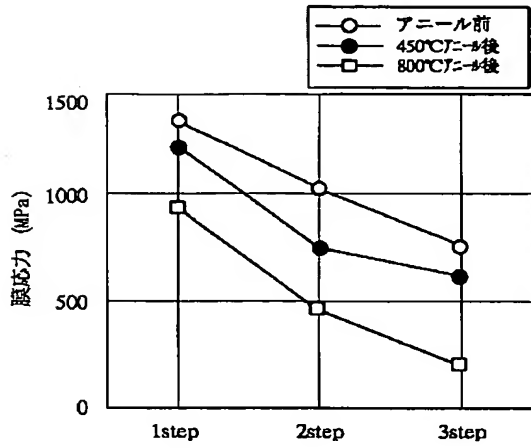
【図26】

図 26



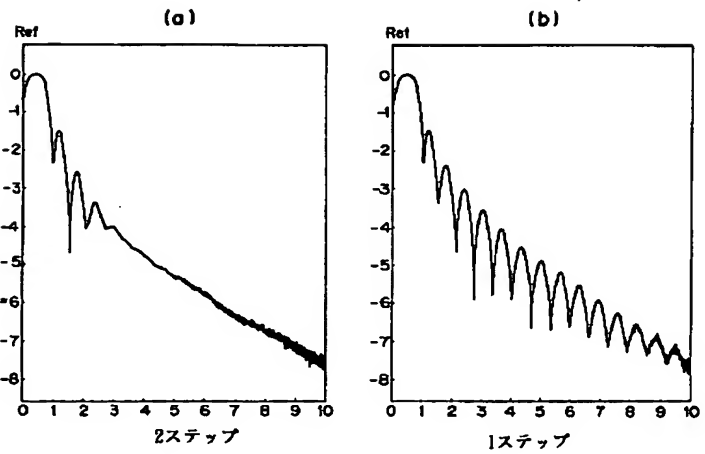
【図27】

図 27



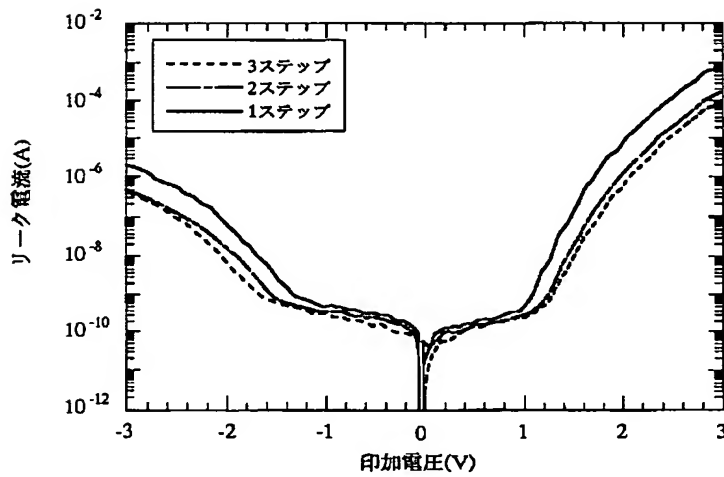
【図28】

図 28



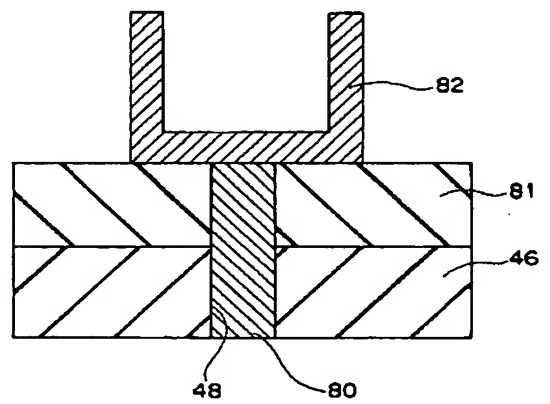
【図29】

図 29



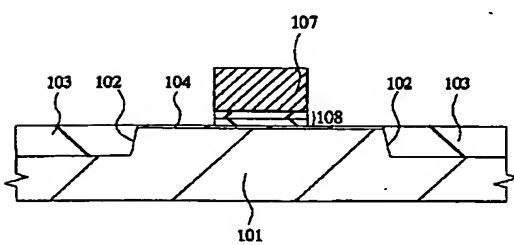
【図37】

図 37



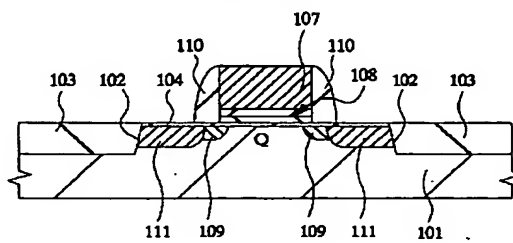
【図47】

図 47

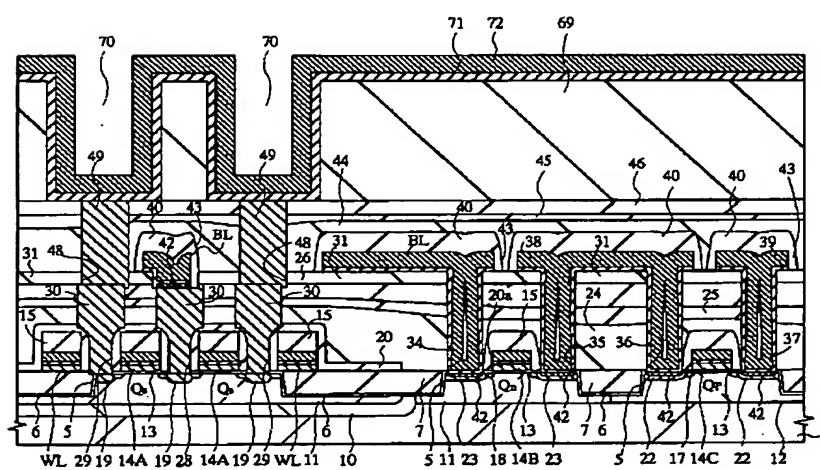


【図48】

図 48

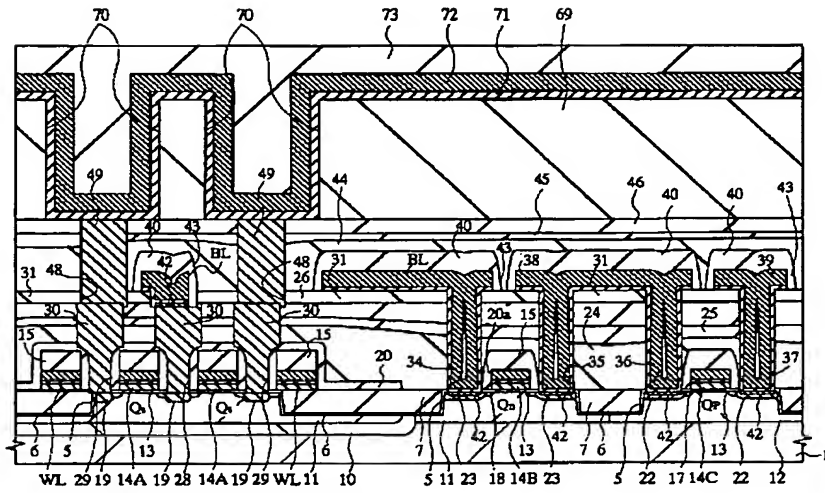


30



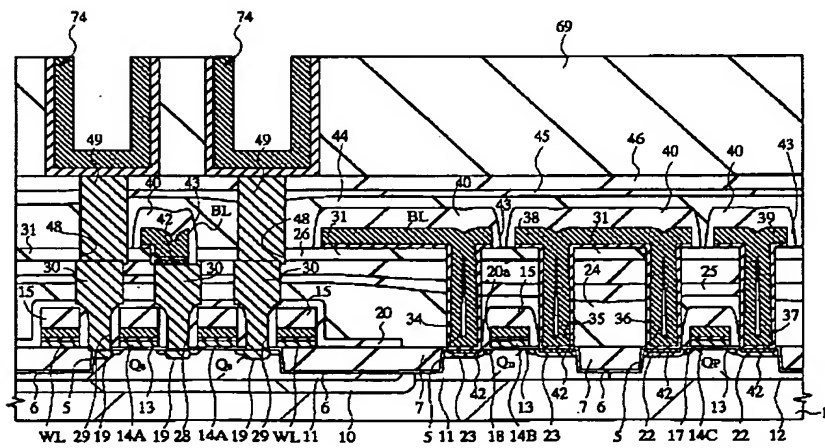
【図 32】

図 32



【図 33】

図 33



34

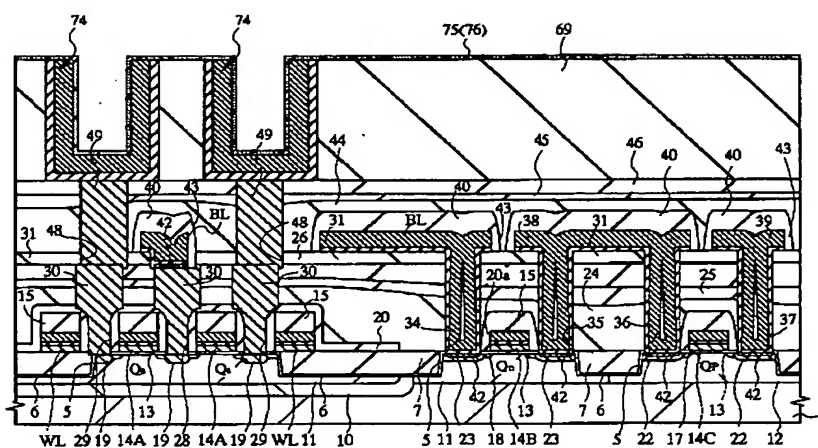
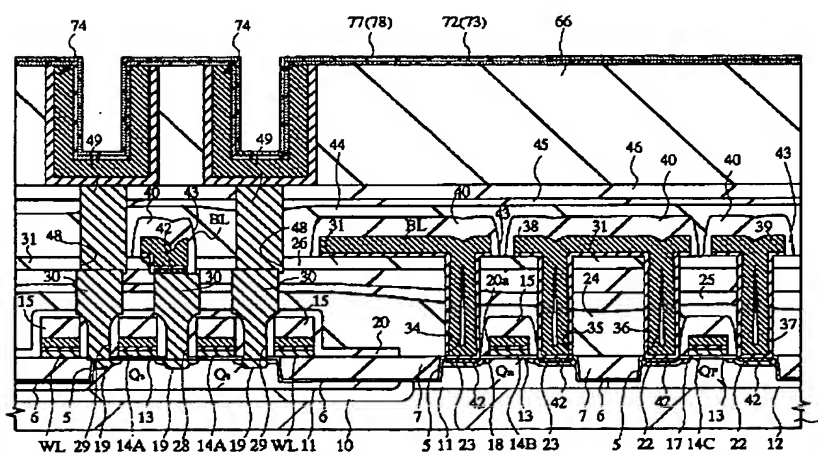
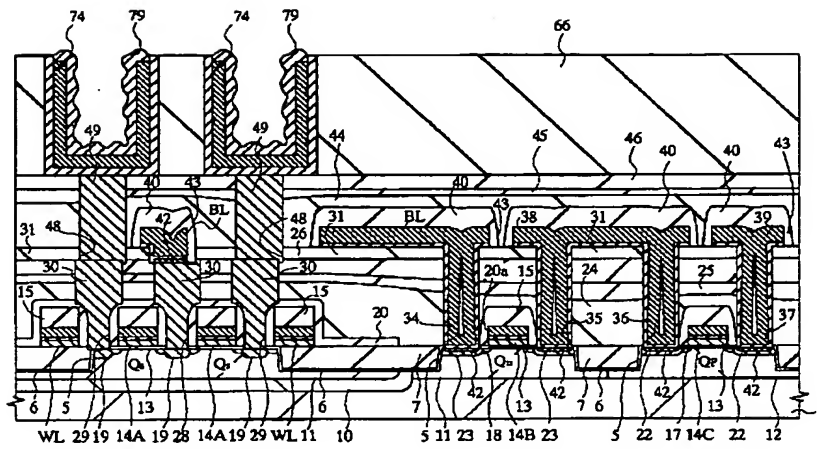


图 35



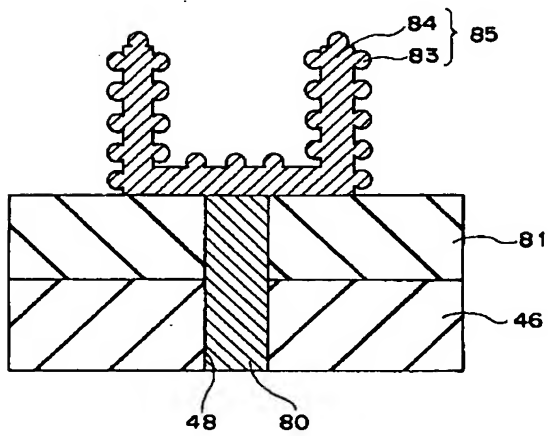
【図 36】

図 36



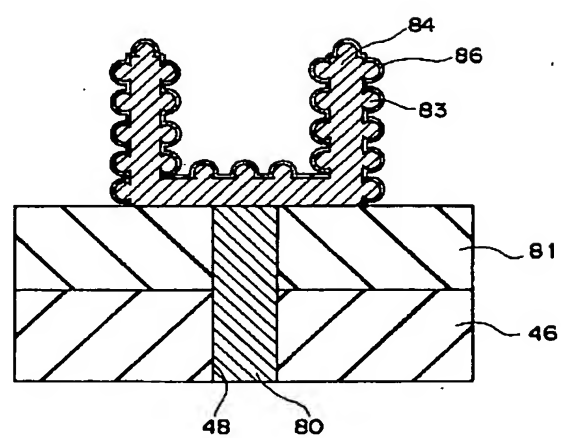
【図 38】

図 38



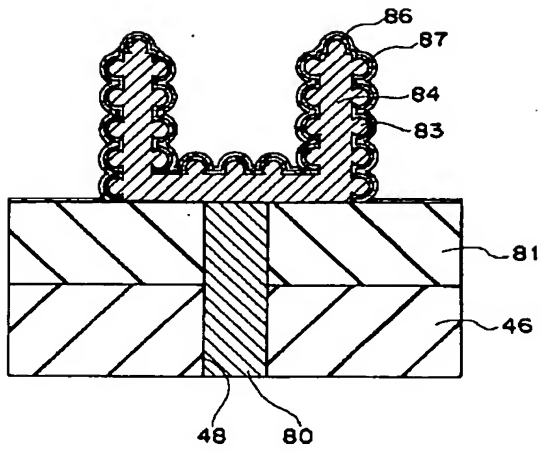
【図 39】

図 39



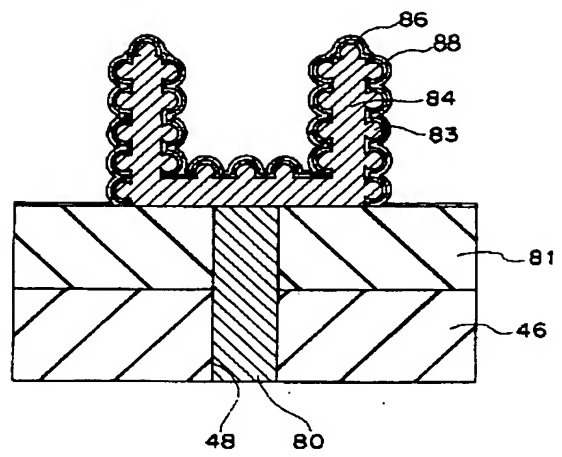
【図 40】

図 40



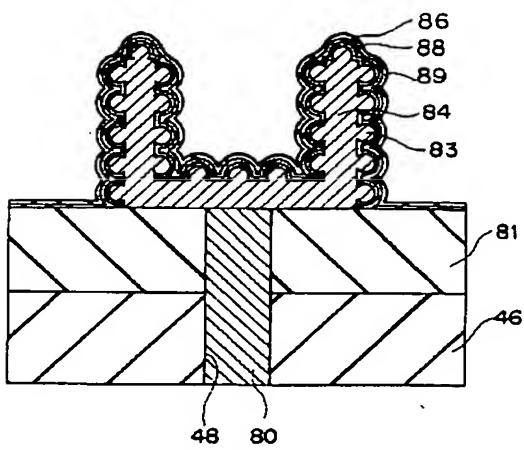
【図 41】

図 41



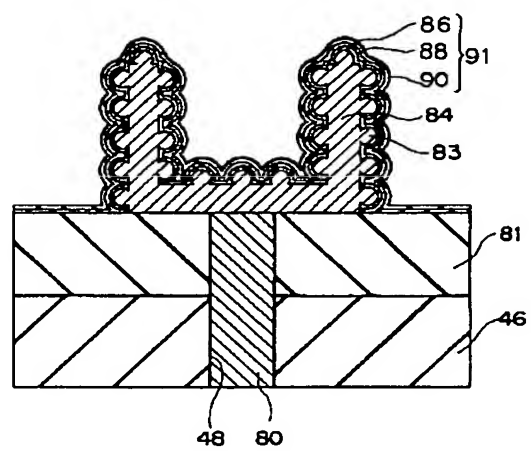
【図 42】

図 42



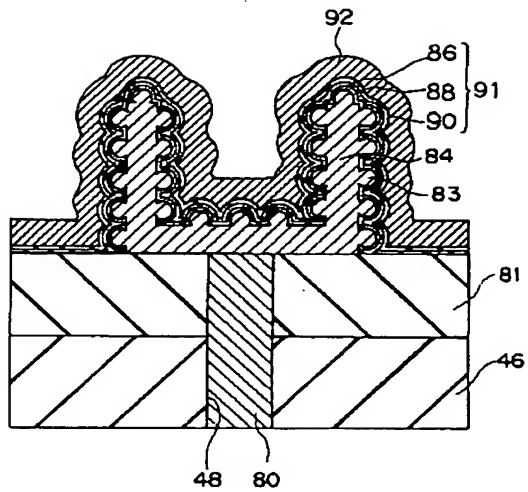
【図 43】

図 43



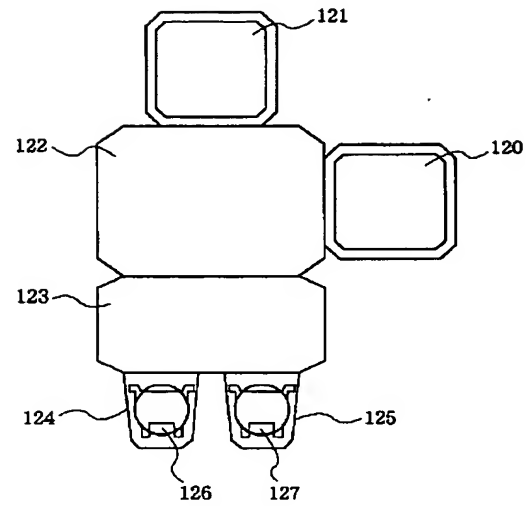
【図 44】

図 44



【図 49】

図 49



フロントページの続き

Fターム(参考) 5F083 AD21 AD24 AD42 AD48 GA06
 JA06 JA40 JA43 KA05 LA12
 MA06 MA17 PR03 PR05 PR21
 PR36 PR40